

Programa, Taller sobre Hardware Reconfigurable, THR 2012

Hora	JUEVES 26 de enero de 2012 Sesión de la mañana Moderador: Dr. Wilfredo Falcón Urquiaga, Universidad de Pinar del Río			
8:45	ACREDITACIÓN			
9:00	INAUGURACIÓN			
-	No.	Título	Autores	Vinculación
9:20	15	Implementación de Detector de Envolvente para señales BFSK en FPGA	Karel Toledo de la Garza, Jorge Torres Gómez, Juan Raúl Rodríguez Suárez	CUJAE
9:40	1	Diseño de un ASIC Sintetizador Digital Directo de alta velocidad	Abdel Martínez Alonso, Glauco Guillén Nieto	LACETEL
10:00	14	Controlador empotrado para PBX de ocho abonados	Jaime Fontanella Lauzardo, Víctor Marín Contreras, René Yañez de la Rivera	CUJAE
10:20	MERIENDA			
11:00	3	Diseño de un teléfono IP basado en tecnología FPGA	Orlando Landrove Gámez	LACETEL
11:20	8	Controlador de capa de enlace IEEE 1394 sobre FPGA	Issel Rodríguez Melendez, Rubén D. López Noa, Roger E. Rivero Labrada, Danelia Matos Molina, Leticia Reyes Delgado, Joan Lambert Cause, Alexander A. Suárez León	UO
11:40	2	Análisis de la modulación DTMB y diseño FPGA	Nelson García Rodríguez, Addis Rey Domínguez, Luis Giraldo Raymond Rodríguez	LACETEL
12:00	6	Cancelación de Ruido Aplicando Estadística de Orden Superior y Sistemas Multiprocesador sobre FPGA	Miguel Enrique Iglesias Martínez, Pedro E. Calleja Acosta, Fidel Ernesto Hernández Montero	CDEA, UPR
12:20	12	Implementación de un filtro adaptativo del tipo SMI mediante lógica reconfigurable	Ariel Hernández Reyes	CID3
12:40	5	Implementación en una FPGA de una neurona FIR	Yasmany Prieto Hernández, Fidel Ernesto Hernández Montero	UPR
13:00	ALMUERZO			

Hora	JUEVES 26 de enero de 2012 Sesión de la TARDE Moderador: Dr. Manuel Valencia Barrero, Universidad de Sevilla (US)			
13:00	ALMUERZO			
14:00	10	Arquitectura software-hardware para acelerar el cálculo del producto punto en matrices binarias dispersas	José Manuel Bande Serrano, Lázaro Bustio Martínez, José Hernández Palancar	CENATAV
14:20	16	Implementación eficiente de la multiplicación modular de Montgomery sobre hardware reconfigurable	Yosbel Martínez García, Ander Torres López, Raudel Cuiman Márquez Humberto Díaz Pando, Alejandro J. Cabrera Sarmiento	CITI, CUJAE
14:40	19	Integración de algoritmos criptográficos en sistemas empotrados basados en FPGA	Alejandro Cabrera Aldaya, Alejandro J. Cabrera Sarmiento	CITI, CUJAE
15:00	17	Implementación híbrida del algoritmo de detección de rostros de Viola-Jones en una plataforma basada en FPGA	Ernesto del Toro Hernández Alejandro J. Cabrera Sarmiento, Santiago Sánchez Solano	CUJAE, IMSE
15:20	9	Diseño de los bloques funcionales de un marcapasos externo con PSoC	Leticia Reyes Delgado, Rubén D. López Noa, Roger E. Rivero Labrada, Danelia Matos Molina, Issel Rodríguez Melendez, Joan Lambert Cause, Alexander A. Suárez León	UO
15:40	4	Implementación de un procesador de audio en tiempo real soportado sobre el procesador MicroBlaze para la tarjeta FPGA Nexys 2	Juan Raúl Rodríguez Suárez	UPR

VIERNES 27 de enero de 2012 Sesión de la mañana Moderador: Dra. Piedad Brox Jiménez, IMSE-CNM				
Hora	No.	Título	Autores	Vinculación
9:00	18	Diseño y cosimulación multilenguaje de sistemas de control empotrados sobre FPGAs	Ernesto del Toro Hernández, Alejandro José Cabrera Sarmiento, Santiago Sánchez Solano, Ángel Barriga Barros	CUJAE, IMSE
9:20	7	Osciloscopio Digital básico sobre FPGA	Lorena Carballo Vento, Bárbaro M. López-Portilla Vigil	CDEA, UPR
9:40	11	Hardware reconfigurable en el control industrial	Maikel Ramírez Despaine	UCI
10:00	13	Diseño e implementación de multiplicadores de Montgomery en FPGAs	Gashaw Sassaw Teshome, Carlos J. Jiménez Fdez., Manuel Valencia Barrero	US, IMSE
10:20	MERIENDA			
11:00	Intercambio de experiencias sobre el trabajo con hardware reconfigurable. Participan: MININT, MINFAR, UPR, UO, CUJAE, UCI, LACETEL, US			
12:40	CONCLUSIONES Y CLAUSURA			
13:00	ALMUERZO			

Tiempo máximo para exposición de trabajos: 15 minutos

Tiempo máximo para preguntas y respuestas: 5 minutos