



(51) Clasificación Internacional de Patentes:
G06T 1/00 (2006.01)

y Tecnológico Cartuja, c/ Américo Vespucio, s/n, E-41092 Sevilla (ES).

(21) Número de la solicitud internacional:
PCT/ES20 13/000225

(81) Estados designados (a menos que se indique otra cosa, para toda clase de protección nacional admisible): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(22) Fecha de presentación internacional:
8 de octubre de 2013 (08.10.2013)

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(30) Datos relativos a la prioridad:
P20120101 1 8 de octubre de 2012 (08.10.2012) ES

(84) Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(71) Solicitantes: **UNIVERSIDAD DE SEVILLA** [ES/ES]; OTRI - Pabellón de Brasil, Paseo de las Delicias, S/N, E-41013 Sevilla (ES). **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS** [ES/ES]; CSIC, C/ Serrano, 117, E-28006 Madrid (ES).

Publicada:

— con informe de búsqueda internacional (Art. 21(3))

(72) Inventores: **FERNÁNDEZ BERNI, Jorge**; Facultad de Física, Dpto. de Electrónica y Electromagnetismo, Avda. Reina Mercedes s/n, E-41012 Sevilla (ES). **RODRÍGUEZ VÁZQUEZ, Ángel**; Facultad de Física, Dpto. de Electrónica y Electromagnetismo, Avda. Reina Mercedes s/n, E-41012 Sevilla (ES). **CARMONA GALÁN, Ricardo**; Consejo Superior de Investigaciones Científicas, Instituto de Microelectrónica de Sevilla, Parque Científico

[Continúa en la página siguiente]

(54) Title: DEVICE FOR THE HARDWARE DETECTION OF LOCAL EXTREMES IN AN IMAGE

(54) Título : DISPOSITIVO PARA LA DETECCIÓN HARDWARE DE EXTREMOS LOCALES EN UNA IMAGEN

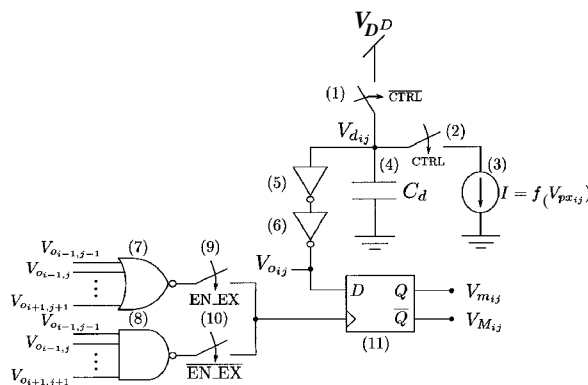


Figura 2

(57) Abstract: The invention relates to a device and method for the hardware detection of local extremes in an image, comprising a plurality of mixed-signal processing elementary cells (0) that are locally interconnected and comprising, in each cell, a first switch (1) configured to allow the pre-charging of a capacitor (4) at the supply voltage. According to the invention, once the capacitor (4) has been pre-charged it is discharged via a second switch (2) connected to a current source (3) that varies in an increasing monotone manner with the analog voltage that represents the value of the pixel in question. The value of the pixel is compared asynchronously with the neighbouring pixels of the neighbouring cells using two inverters (5, 6), a digital NO gate (7), a digital NAND gate (8), third and fourth switches (9, 10) and a memory element (11) for storing the result.

(57) Resumen:

[Continúa en la página siguiente]



- *antes de la expiración del plazo para modificar las reivindicaciones y para ser republicada si se reciben modificaciones (Regla 48.2(h))*

Dispositivo y método para la detección hardware de extremos locales en una imagen que comprende una pluralidad de celdas elementales (0) de procesamiento de señal mixta interconectadas entre sí localmente, y que comprende en cada celda un primer interruptor (1) configurado para habilitar la precarga de un condensador (4) a la tensión de alimentación; y donde una vez precargado dicho condensador (4) este se descarga a través de un segundo interruptor (2) conectado con una fuente de corriente (3) que varía de manera monótona creciente con la tensión analógica que representa el valor del pixel considerado; y donde el valor del pixel se compara de manera asincrónica con los pixeles vecinos de las celdas vecinas a través de dos inversores (5,6), una puerta digital ÑOR (7), una puerta digital NAND (8), un tercer y cuarto interruptor (9,10) y un elemento de memoria (11) para almacenar el resultado.

DISPOSITIVO PARA LA DETECCIÓN HARDWARE DE EXTREMOS
LOCALES EN UNA IMAGEN

DESCRIPCIÓN

El objeto de la presente invención es un dispositivo hardware que permita la detección de máximos y mínimos locales en el tratamiento de una imagen. El hardware objeto de esta invención se enmarca dentro de los, así denominados, circuitos Winner-Take-All (WTA) o Loser-Take-All (LTA). El área científico-técnica de la invención es la de tecnologías físicas, concretamente microelectrónica. Su marco de aplicación general sería el de dispositivos electrónicos de muy bajo consumo de potencia diseñados para llevar a cabo tareas de visión artificial, es decir, captura de imágenes, análisis de las mismas y actuación en caso de que los resultados de dicho análisis así lo requieran. Como aplicaciones específicas de estos dispositivos se podrían proponer a su vez numerosos ejemplos: monitorización de procesos industriales, monitorización de espacios naturales, vigilancia automatizada de lugares públicos, robótica, o ayuda a la navegación aérea no tripulada entre otros.

Antecedentes de la invención

Las funcionalidades implementadas por esta invención - detección de máximos y mínimos locales en una imagen - pueden ser llevadas a cabo de diferentes maneras. Una opción es mediante sistemas digitales de cómputo de propósito general. Estos sistemas pueden ser programados para procesar imágenes, obteniendo un resultado similar al del hardware propuesto en este documento. A modo de ejemplo, un escenario típico sería el desarrollo de software para análisis de imágenes sobre un PC. Este software ejecutaría una serie de instrucciones haciendo uso del correspondiente microprocesador hasta conseguir el resultado deseado. La principal ventaja de este enfoque es la flexibilidad para abordar cualquier tipo

de tarea gracias al carácter generalista del hardware subyacente. Sin embargo, esta ventaja se torna en inconveniente cuando las especificaciones de una aplicación concreta exigen sólo un conjunto restringido de las funcionalidades proporcionadas por este tipo de sistemas pero con un consumo de potencia mucho menor y niveles de rendimiento, en el sentido del número de operaciones por segundo, similares, o incluso superiores. La naturaleza no específica del hardware es precisamente lo que impide en la mayoría de las ocasiones cumplir dichos requerimientos. Es posible sin embargo encontrar numerosas alternativas desde el punto de vista puramente digital donde el hardware puede ser progresivamente ajustado para conseguir mejores parámetros de rendimiento. Así, nos podríamos plantear la utilización de procesadores digitales de señal optimizados para la ejecución de determinadas operaciones muy útiles para el procesado de imágenes, como por ejemplo la convolución. Otra opción sería la implementación de primitivas de procesamiento en circuitos integrados reconfigurables como FPGAs (Field-Programmable Gate Arrays) o CPLDs (Complex Programmable Logic Devices). En última instancia, se podría diseñar circuitería digital específica para una determinada aplicación e integrarla en un chip, pudiéndose alcanzar así las mayores cotas de rendimiento y de eficiencia energética.

La presente invención queda fuera del marco de implementación exclusivamente digital que acaba de ser descrito y por tanto difiere en esencia de cualquier metodología basada en él. La diferencia fundamental radica en que, aunque la base en nuestro caso es también el diseño de hardware específico para su integración en un chip, este hardware hace uso de circuitería de señal mixta, manejando señales tanto analógicas como digitales. Esta característica permite explotar al máximo la física de los transistores a la hora de procesar las señales eléctricas que representan los valores de los píxeles de una imagen, posibilitando la consecución de mejores cifras de rendimiento y consumo de potencia que una implementación digital equivalente. Se pueden encontrar numerosos

ejemplos reportados en la literatura de circuitería de señal mixta para procesamiento de imágenes [C. N. Stevenson, R. M. Lesperance, F. J. Schauerte, y J. R. Troxell, "Image sensor method and apparatus having hardware implemented edge detection processing," Patente US 2003/0108221 A1, 12/06/2003; J. Dubois, D. Ginhac, M. Paindavoine, y B. Heyrman, "A 10000 FPS CMOS sensor with massively parallel image processing," *IEEE J. Solid-State Circuits*, vol. 43, no. 3, pp. 706-717, 2008; P. Dudek, "SCAMP-3: A visión chip with SIMD current-mode analogue processor array " *Focal-plane Sensor-Processor Chips*, publicado por Springer, 2011; J. Fernández Berni, R. Carmona Galán y Luis Carranza González, "FLIP-Q: A QCIF resolution focal-plane array for low-power image processing," *IEEE J. Solid-State Circuits*, vol. 46, no. 3, pp. 669-680, 2011].

Los ejemplos anteriores están basados en la arquitectura de procesamiento descrita en [Á. Rodríguez Vázquez, S. Espejo Meana y R. Domínguez Castro, "Programmable mixed-signal integrated circuit architecture for the production of autonomous visión systems in a single chip and/or pre-processing of images in higher-level systems," Patente EP 1 580 814 (A1), 28/09/2005]. Esta arquitectura se caracteriza por una agrupación bidimensional de procesadores elementales interconectados que trabajan de manera concurrente y conjunta para implementar una determinada operación sobre una imagen.

La presente invención también se apoya en esta estructura hardware de procesamiento, al igual que otras implementaciones [B. Amir y H. Saied, "Full CMOS min-sum analog iterative decoders," Patente US2005240647 (A1); LA. Sánchez-Gaspariano, A. Díaz-Sánchez, G. Saldaña-González, "High-precision current-based CMOS WTA/LTA filters," *Int. Conference on Electronics, Communications and Computers*, 2007; M. Rahman, K. Baishnab, and F. Talukdar, "A high speed and high resolution VLSI winner-take-all circuit for neural networks and fuzzy systems," *Int. Symp. on Signáis, Circuits and Systems*, 2009; M. T. Moro-Frías, D. and Sanz-Pascual and C. A.

de la Cruz Blas, "A novel current-mode winner-take-all topology," European Conf. on Circuit Theory and Design, 2011, pp. 134-137; B. Tomatsopoulos and A. Demosthenous, "Low power, low complexity CMOS multiple-input replicating current comparators and WTA/LTA circuits," European Conf. on Circuit Theory and Design, 2005, pp. 241-244; H. Hung-Yi, T. Kea-Tiong, T. Zen-Huan, and C. Hsin, "A low-power, high-resolution WTA utilizing translinear-loop pre-amplifier," Int. Conf. on Neural Networks, 2010; R. Dlugosz and T. Talaska, "A low power current-mode binary-tree WTA/LTA circuit for Kohonen neural networks," Int. Conf. on Mixed Design of Integrated Circuits and Systems, 2009, pp. 201-204] con la misma funcionalidad pero cuya circuitería de señal mixta es diferente a la propuesta en esta memoria. Precisamente esta circuitería original permite conseguir un consumo de potencia mucho menor que cualquier otro hardware reportado previamente.

El hardware objeto de esta invención se enmarca dentro de los, así denominados, circuitos Winner-Take-All (WTA) o Loser-Take-All (LTA). Estos circuitos permiten evaluar el valor más alto - WTA - y más bajo - LTA - entre un conjunto de señales de entrada. Dichas señales pueden estar representadas tanto por voltajes como por intensidades. En particular, cuando se aplican al procesado de imágenes, los bloques hardware WTA y LTA habilitan la detección de los extremos locales de una imagen, es decir, aquellos píxeles cuyos valores son los más altos - máximo - o los más bajos - mínimo - con respecto a sus ocho píxeles vecinos.

P201030867-Í37]. En este enfoque, la operación está apoyada en un conjunto de celdas de procesamiento similares, dirigida cada una de ellas por la correspondiente señal de entrada a procesar. Estas celdas se interconectan mediante una fuente de corriente común de tal manera que se lleva a cabo una "competición" concurrente entre todas las celdas para conseguir la mayor cantidad posible de esa corriente. Al final, sólo una de las celdas permanecerá activa, bien la ganadora o la perdedora, en función de la configuración elegida.

El otro enfoque no está basado en una interacción concurrente de todas las señales a procesar, sino en un árbol de procesamiento por pares [B. Tomatsopoulos and A. Demosthenous, "Low power, low complexity CMOS multiple-input replicating current comparators and WTA/LTA circuits," *European Conf. on Circuit Theory and Design*, 2005, pp. 241-244; H. Hung-Yi, T. Kea-Tiong, T. Zen-Huan, and C. Hsin, "A low-power, high-resolution WTA utilizing translinear-loop pre-amplifier," *Int. Conf. on Neural Networks*, 2010]. Así, el conjunto de señales a procesar se dividen en parejas y se comparan en un primer nivel de procesamiento. Sólo los ganadores - WTA - o perdedores - LTA - pasan al siguiente nivel de procesamiento, donde se vuelven a llevar a cabo comparaciones por pares. Finalmente, tras realizarse la comparación en el último nivel, el ganador o perdedor global será obtenido.

Existen también algunas estructuras hardware que pueden considerarse híbridas con respecto a las que acabamos de describir [R. Dlugosz and T. Talaska, "A low power current-mode binary-tree WTA/LTA circuit for Kohonen neural networks," *Int. Conf. on Mixed Design of Integrated Circuits and Systems*, 2009, pp. 201-204].

Explicación de la invención

El circuito WTA-LTA para detección de extremos locales en una imagen objeto de esta invención trabaja en modo voltaje y su operación no se asemeja a ninguno de los enfoques previamente reportados. En concreto, la operación se basa en la precarga de un condensador y posterior descarga mediante una fuente de corriente dependiente del voltaje que representa al pixel considerado. Dicha descarga se compara constantemente con la que se produce en los pixeles vecinos a través de puertas lógicas digitales, una ÑOR para el cálculo de los mínimos, y una NAND para el cálculo de los máximos. El resultado de dicha comparación se almacena en un elemento

de memoria cuya salida digital se interpretará adecuadamente en función del tipo de extremo a detectar.

Específicamente el objeto de la presente invención es un dispositivo para la detección hardware de extremos locales en una imagen que comprende una pluralidad de celdas elementales (0) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con sus ocho celdas vecinas, no habiendo interacción directa más allá de esa periferia, y que se caracteriza porque cada celda comprende al menos un primer interruptor (1) configurado para habilitar la precarga de un condensador (4) a la tensión de alimentación; y donde una vez precargado dicho condensador (4), éste se descarga a través de un segundo interruptor (2) conectado con una fuente de corriente (3) que varía de manera monótona creciente con la tensión analógica que representa el valor del píxel considerado; y donde el valor del píxel se compara de manera asincrónica con los píxeles vecinos de las celdas vecinas a través de dos inversores (5,6), una puerta digital ÑOR (7), una puerta digital NAND (8), un tercer y cuarto interruptor (9,10) y un elemento de memoria (11) para almacenar el resultado.

Los inversores (5,6) provocan un cambio en la señal de salida del segundo inversor (6) justo en el instante de tiempo en que la descarga del condensador (4) hace que su tensión cruce la tensión umbral de entrada del primer inversor (5), estando la salida del inversor (6) conectada a la entrada de las correspondientes puertas digitales ÑOR (7) y NAND (8) de sus celdas vecinas así como a la entrada de un elemento de memoria (11).

Una puerta digital ÑOR (7) habilita mediante la activación de su interruptor a la salida (9) la determinación de si su valor de píxel asociado constituye un mínimo local, para lo cual debe estar conectada a la entrada de reloj del elemento de memoria (11).

Similarmente, una puerta digital NAND (8) habilita mediante la activación de su interruptor a la salida (10) la determinación de si su valor de píxel

asociado constituye un máximo local, para lo cual debe estar conectada a la entrada de reloj del elemento de memoria (11).

Constituye igualmente un objeto de la presente invención un método para la detección hardware de extremos locales en una imagen que comprende una pluralidad de celdas elementales (0) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con sus ocho celdas vecinas, no habiendo interacción directa más allá de esa periferia, implementado en un dispositivo objeto de la invención y que se caracteriza porque comprende una etapa de precarga de un condensador (4) y posterior descarga mediante una fuente de corriente (3) dependiente del voltaje que representa al pixel considerado; y una segunda etapa donde dicha descarga se compara constantemente con la que se produce en los pixeles vecinos a través de puertas lógicas digitales, una ÑOR (7) para el cálculo de los mínimos, y una NAND (8) para el cálculo de los máximo; y donde el resultado de dicha comparación se almacena en un elemento de memoria (11) cuya salida digital se interpretará adecuadamente en función del tipo de extremo a detectar.

El dispositivo de la invención formará parte de celdas elementales idénticas de procesamiento de señal mixta que conformen una pluralidad mediante su agrupación e interconexión local. Por local se entiende que cada celda está solamente interconectada con sus ocho celdas vecinas, no habiendo interacción directa más allá de esa periferia.

A lo largo de la descripción y las reivindicaciones la palabra "comprende" y sus variantes no pretenden excluir otras características técnicas, aditivos, componentes o pasos. Para los expertos en la materia,, otros objetos, ventajas y características de la invención se desprenderán en parte de la descripción y en parte de la práctica de la invención. Los siguientes ejemplos y dibujos se proporcionan a modo de ilustración, y no se pretende que sean limitativos de la presente invención. Además, la presente invención cubre

todas las posibles combinaciones de realizaciones particulares y preferidas aquí indicadas.

Breve descripción de las figuras

- Figura 1: estructura básica del hardware propuesto, esto es, una distribución espacial regular bidimensional de celdas de procesamiento idénticas localmente interconectadas
- Figura 2: unidad elemental de procesamiento de la distribución espacial regular mostrada en la Figural .
- Figura 3: ejemplo de realización de la unidad elemental de procesamiento mostrada en la Figura 2. Este ejemplo se ha diseñado para una tecnología CMOS estándar de $0.13\mu\text{m}$ y 1.5V .

Exposición detallada de modos de realización y ejemplos

Esencialmente, el dispositivo de la invención consta de una pluralidad de celdas, en donde cada celda consta al menos de un interruptor (1) que habilita la precarga del condensador (4) a la tensión de alimentación. A continuación, una vez precargado, se procede a su descarga a través del interruptor (2) que lo conecta a la fuente de corriente (3), cuya característica fundamental es que varía de manera monótona creciente con la tensión analógica V_{pxij} que representa el valor del pixel considerado. Así, valores mayores de V_{pxij} suponen mayor corriente y viceversa. Esto implica que el intervalo de tiempo que tarda la tensión V_{dij} en alcanzar la tensión umbral de entrada del primer inversor (5) dependerá de dicha tensión de pixel. Esta información, la del cruce de V_{dij} con la tensión umbral de entrada del inversor (5), es distribuida a los vecinos de la celda bajo estudio a través de la conmutación del voltaje V_{oij} de '1' lógico a 0 lógico. Este voltaje es el de salida del segundo inversor (6). A su vez los voltajes V_{omn} provenientes de las celdas vecinas asumen el papel de entradas de la celda actual. Más

específicamente, constituyen entradas de dos puertas digitales, una ÑOR (7) y una NAND (8). La puerta ÑOR (7) habilita la detección del mínimo entre los pixeles vecinos y el pixel actual mientras que la puerta NAND (8) hace posible la detección del máximo. Para ello, se debe activar respectivamente bien el interruptor (9) o el interruptor (10). Finalmente, el resultado de la operación realizada, bien sea la detección del mínimo bien la del máximo, es almacenado en un elemento de memoria, concretamente un flip-flop tipo D (11). Así, un '1' lógico en $V_{m_{ij}}$ indica que el pixel actual es un mínimo mientras que un '1' lógico en $V_{M_{ij}}$ indica que el pixel actual es un máximo.

Podemos definir nuestra invención, en términos generales, como hardware de bajo consumo de potencia basado en circuitería de señal mixta para detección de máximos y mínimos locales en una imagen. Se caracteriza por una distribución espacial regular bidimensional de celdas de procesamiento idénticas localmente interconectadas, como la mostrada en la Figura 1. Cada celda consta, al menos, de la circuitería mostrada en la Figura 2, objeto de esta invención. La operación de detección de los extremos locales se lleva a cabo de la siguiente manera. Durante un cierto intervalo de tiempo, la señal digital 'CTRL' que controla tanto el interruptor (1) como el (2), debe ser fijada a un '0' lógico. Esto conlleva la precarga del condensador (4) a la tensión de alimentación $\frac{3}{4} D$. Una vez dicha precarga haya finalizado, 'CTRL' debe conmutarse a un '1' lógico, y a partir de ese instante, la detección del extremo correspondiente, máximo o mínimo, se produce de manera asincrónica, es decir, sin la intervención de ninguna señal de reloj externa que controle la operación. En el instante que 'CTRL' conmuta a un '1' lógico, se habilita la descarga del condensador (4) a través de una fuente de corriente, cuya característica fundamental es que varía de manera monótona creciente con la tensión analógica $V_{p_{ij}}$ que representa el valor del pixel considerado. Así, la corriente proporcionada por dicha fuente será mayor para valores mayores de $V_{p_{ij}}$ y viceversa. Ello implica que el intervalo de tiempo requerido por la tensión $V_{a_{ij}}$ para cruzar la tensión umbral de entrada del

inversor (5) también dependerá en última instancia de $V_{px_{ij}}$. El instante de tiempo t_e en que se produce dicho cruce es conocido por las celdas vecinas a través de la conmutación de la tensión $V_{o_{ij}}$ de '1' lógico a '0' lógico. Esta tensión corresponde a la salida del segundo inversor (6). A su vez, las tensiones $v_{o_{mn}}$ provenientes de las celdas vecinas constituyen entradas de la celda actual. Más específicamente, constituyen entradas de dos puertas digitales, una ÑOR (7) y una NAND (8). La puerta ÑOR está asociada con la detección del mínimo. Justo cuando 'CTRL' conmuta de '0' a '1', todas sus entradas son '1's lógicos puesto que todos los condensadores están precargados a $\frac{3}{4} D$. Conforme avance el proceso de descarga en todas las celdas, cada una de esas entradas irá conmutando a '0' hasta que finalmente la última lo haga en el instante de tiempo t_m . En ese instante de tiempo, si la señal 'EN_EX' que controla los interruptores (9) y (10) está fijada a '1', la entrada del flip-flop tipo D (11) será capturada y almacenada. Si la descarga del condensador (4) asociado a la celda actual es la más lenta en comparación con la de los vecinos, el pixel actual es un mínimo local, de acuerdo a la dependencia previamente comentada de su valor con la fuente de corriente. Ello se verá reflejado con un '1' lógico en V_m y ya que en t_m , la entrada del flip-flop será un '1' lógico. En cambio, si la descarga no es la más lenta, el pixel no es un mínimo, y la entrada del flip-flop en t_m corresponderá a un '0' lógico, valor que será almacenado en $V_{m_{ij}}$. De la misma manera, la puerta NAND hace posible la detección de un máximo local, siempre y cuando 'EN_EX' esté fijada a '0'. En este caso, la conmutación de cualquiera de sus entradas de '1' a '0' conlleva el almacenamiento de la señal de entrada del flip-flop en ese instante de tiempo, llamémoslo t_M . Si dicha entrada sigue a '1' en t_M , significa que la descarga no es la más rápida cuando se compara con la de los vecinos, y por tanto el pixel no es un máximo local. Ello implicará un almacenamiento de un '0' lógico en $V_{M_{ij}}$. Por el contrario, si la entrada del flip-flop conmutó a '0' antes de t_M , la descarga actual sí es la más rápida, y por tanto el pixel

constituye un máximo local. Como resultado, se almacenará un '1' lógico en V_{Mij} .

La Figura 3 muestra un ejemplo operativo de implementación de la celda básica de procesamiento. El diseño ha sido realizado para una tecnología CMOS estándar de $0.13\mu\text{m}$ y 1.5V . En la figura antes mencionada se muestran las dimensiones de cada uno de los transistores que componen la circuitería de procesamiento propuesta, así como las puertas lógicas digitales utilizadas provenientes de la librería estándar de la tecnología. También se muestra el valor de la capacidad para precarga-descarga y la tensión de alimentación. Asimismo, se puede observar el mapeo entre los diferentes elementos de circuito enumerados en la Figura 2 y su correspondiente en la Figura 3. La fuente de corriente dependiente de voltaje es implementada mediante un único transistor nMOS. Por otra parte, mientras que los interruptores (2) y (3) son implementados también mediante un único transistor, pMOS y nMOS respectivamente, los interruptores (9) y (10) requieren de una puerta de transmisión respectivamente, cada una de las cuales está compuesta por 2 transistores, uno nMOS y otro pMOS. Finalmente, para el circuito de la Figura 3, es necesario un intervalo de precarga de al menos 50ns . La lectura del resultado de la operación a través de las tensiones $v_{m_{ij}}$ y $V_{M_{ij}}$ se podría llevar a cabo a partir de al menos 300ns desde que dicho intervalo de precarga finalice. Este es el tiempo aproximado requerido para completar la detección de los extremos considerando un rango de señal $v_{p_{ij}} \in [0.75, 1.5]\text{V}$

REIVINDICACIONES

1.- Dispositivo para la detección hardware de extremos locales en una imagen que comprende una pluralidad de celdas elementales (0) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con sus ocho celdas vecinas, no habiendo interacción directa más allá de esa periferia, y que se caracteriza porque cada celda comprende al menos un primer interruptor (1) configurado para habilitar la precarga de un condensador (4) a la tensión de alimentación; y donde una vez precargado dicho condensador (4), éste se descarga a través de un segundo interruptor (2) conectado con una fuente de corriente (3) que varía de manera monótona creciente con la tensión analógica que representa el valor del pixel considerado; y donde el valor del píxel se compara de manera asincrónica con los píxeles vecinos de las celdas vecinas a través de dos inversores (5,6), una puerta digital ÑOR (7), una puerta digital NAND (8), un tercer y cuarto interruptor (9,10) y un elemento de memoria (11) para almacenar el resultado.

2. - Dispositivo según reivindicación 1 donde los inversores (5,6) provocan un cambio en la señal de salida del segundo inversor (6) justo en el instante de tiempo en que la descarga del condensador (4) hace que su tensión cruce la tensión umbral de entrada del primer inversor (5).

3. - Dispositivo según cualquiera de las reivindicaciones 1 a 2, donde la salida del inversor (6) es conectada a la entrada de las correspondientes puertas digitales ÑOR (7) y NAND (8) de sus celdas vecinas.

4. - Dispositivo según cualquiera de las reivindicaciones 1 a 3 donde la salida del inversor (6) es conectada a la entrada de un elemento de memoria (11).

5. - Dispositivo según cualquiera de las reivindicaciones 1 a 4 donde una puerta digital ÑOR (7) habilita mediante la activación de su interruptor a la salida (9) la determinación de si su valor de pixel asociado constituye un mínimo local.

6. - Dispositivo según cualquiera de las reivindicaciones 1 a 5 donde la salida de la puerta ÑOR (7) debe estar conectada a la entrada de reloj del elemento de memoria (11) mediante la activación del interruptor (9) para llevar a cabo la determinación de si su valor de pixel asociado constituye un mínimo local.

7. - Dispositivo según cualquiera de las reivindicaciones 1 a 6 donde una puerta digital NAND (8) habilita mediante la activación de su interruptor a la salida (10) la determinación de si su valor de pixel asociado constituye un máximo local.

8. - Dispositivo según cualquiera de las reivindicaciones 1 a 7 donde la salida de la puerta NAND (8) debe estar conectada a la entrada de reloj del elemento de memoria (11) mediante la activación del interruptor (10) para llevar a cabo la determinación de si su valor de pixel asociado constituye un máximo local.

9.- Método para la detección hardware de extremos locales en una imagen que comprende una pluralidad de celdas elementales (0) de procesamiento de señal mixta interconectadas entre sí localmente, de tal forma que cada celda está solamente interconectada con sus ocho celdas vecinas, no habiendo interacción directa más allá de esa periferia, implementado en un dispositivo de acuerdo con cualquiera de las reivindicaciones 1 a 8 y que se caracteriza porque comprende una etapa de precarga de un condensador (4) y posterior descarga mediante una fuente de corriente (3) dependiente del voltaje que representa al pixel considerado; y una segunda etapa donde

dicha descarga se compara constantemente con la que se produce en los pixeles vecinos a través de puertas lógicas digitales, una ÑOR (7) para el cálculo de los mínimos, y una NAND (8) para el cálculo de los máximo; y donde el resultado de dicha comparación se almacena en un elemento de memoria (11) cuya salida digital se interpretará adecuadamente en función del tipo de extremo a detectar.

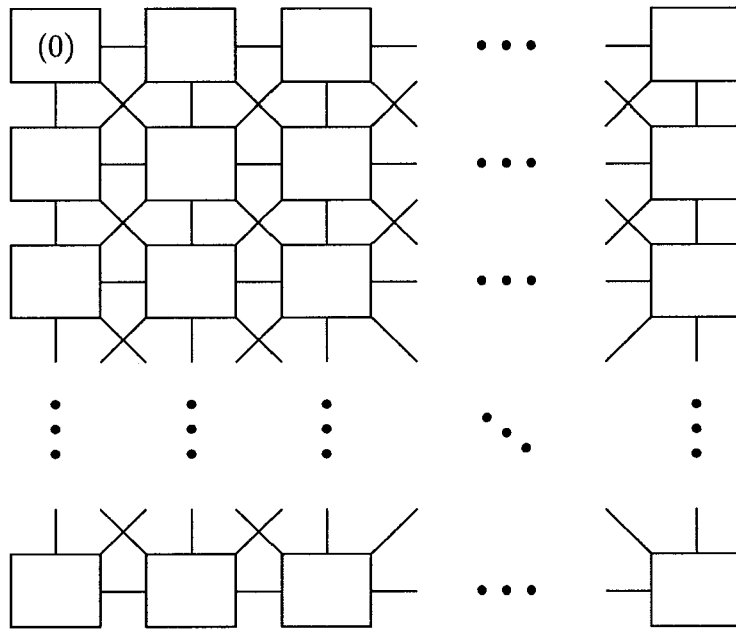


Figura 1

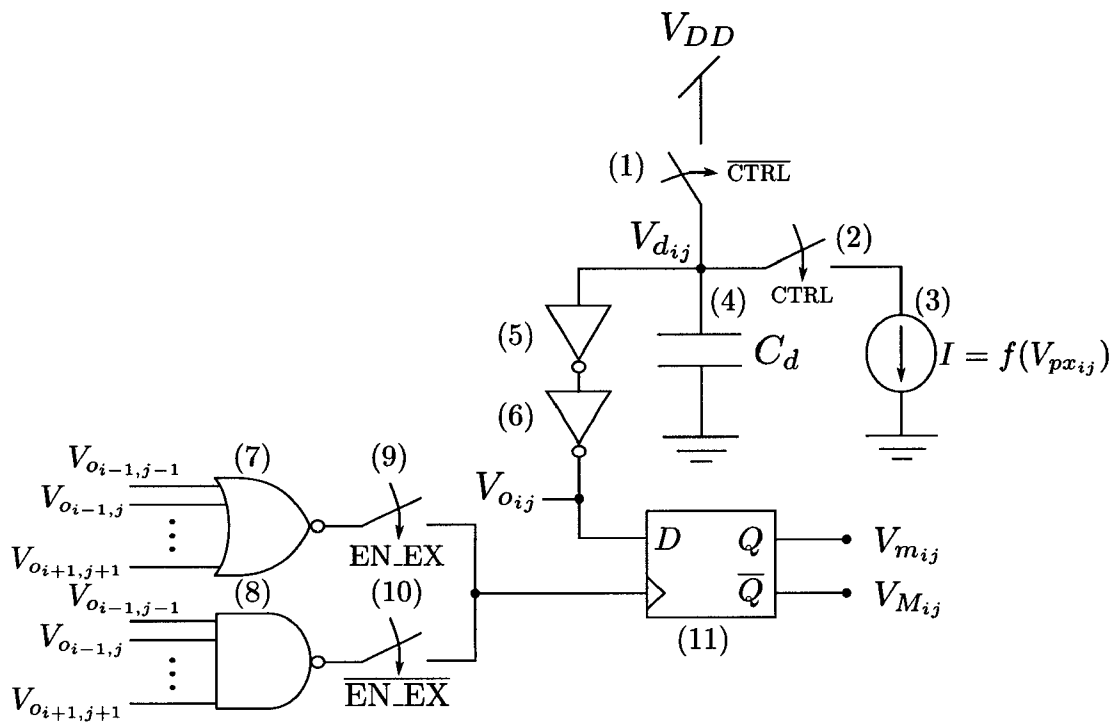


Figura 2

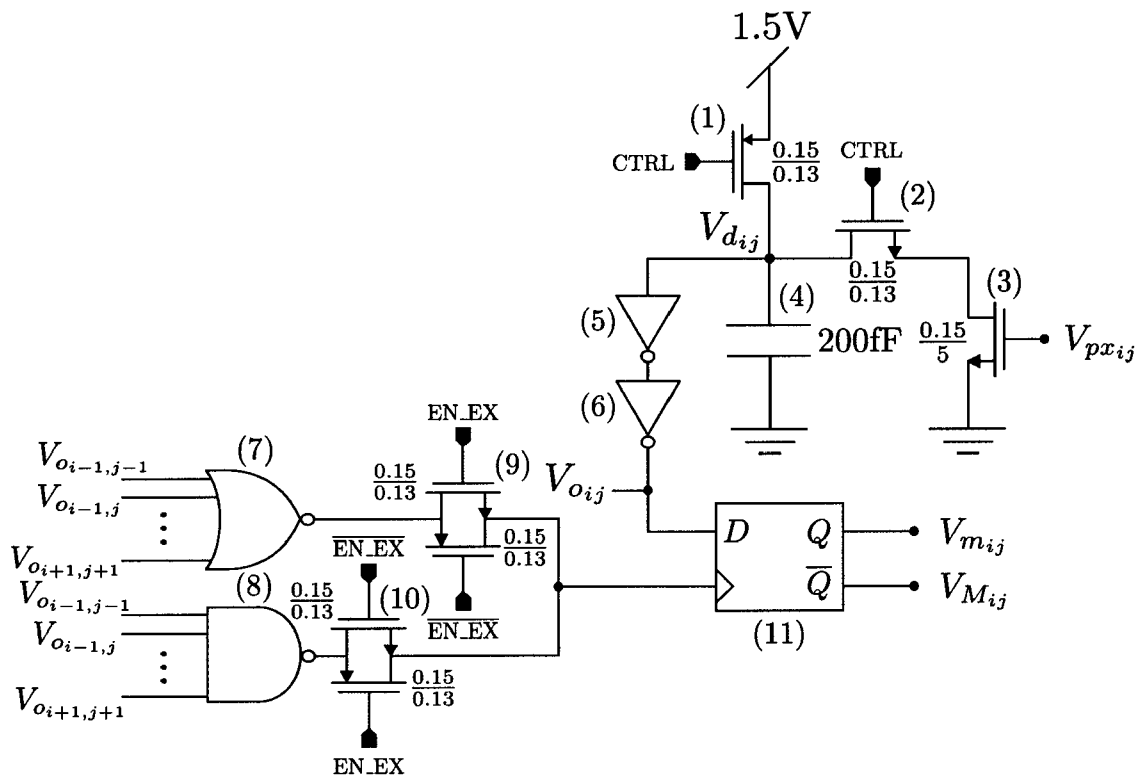


Figura 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/ES2013/000225

A. CLASSIFICATION OF SUBJECT MATTER

G06T1/00 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06T

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, INVENES

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	09/06/1997, GUNAY Z S et al. CMOS winner-take-all circuits: a detailed comparison. Proceedings of 1997 IEEE International Symposium on Circuits and Systems, 1997. ISCAS '97., Hong Kong 9-12 June 1997, 19970609; 19970609 - 19970612 New York, NY, USAJEEEE, US 09/06/1997 VOL: 1 Pags: 41 - 44 ISBN 978-0-7803-3583-7 ; ISBN 0-7803-3583-X Doi: doi: 10.1109/ISCAS.1997.6085 14. The whole document	1

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance.</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure use, exhibition, or other means.</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	--

Date of the actual completion of the international search

Date of mailing of the international search report

(20/02/2014)

Name and mailing address of the ISA/

Authorized officer

OFICINA ESPAÑOLA DE PATENTES Y MARCAS

M. Muñoz Sánchez

Paseo de la Castellana, 75 - 28071 Madrid (España)

Facsímile No.: 91 349 53 04

Telephone No. 91 3495349

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES2013/000225

C (continuation).		DOCUMENTS CONSIDERED TO BE RELEVANT
Category *	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	23/05/2004, BADEL S et al. Mixed analog-digital image processing circuit based on hamming artificial neural network architecture.Proceedings / 2004 IEEE International Symposium on Circuits and Systems : May 23 - 26, 2004, Sheraton Vancouver Wall Centre Hotel, Vancouver, British Columbia, Canadá, 20040523; 20040523 - 20040526 IEEE Operations Center, Piscataway, NJ 23/05/2004 VOL: 5 Pags: 780 - 783 ISBN 978-0-7803-8251-0 ; ISBN 0-7803-825 1-X. The whole document.	1
A	US 2011242418 A1 (HOSOKAWA KENICHIRO ET AL.) 06/10/2011. The whole document	1
A	25/06/2009, RAFAL DLUGOSZ et al. A low power current-mode binary-tree WTA / LTA circuit for Kohonen neural networks.Mixed Design of Integrated Circuits&Systems, 2009. MIXDES '09. MIXDES-16th International Conference, 20090625 IEEE, Piscataway, NJ, USA 25/06/2009 VOL: Pags: 201 - 204 ISBN 978-1-4244-4798-5 ; ISBN 1-4244-4798-4. The whole document	1

INTERNATIONAL SEARCH REPORT

International application No.

Information on patent family members

PCT/ES2013/000225

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US201 1242418 A1	06.10.2011	CN 102209 180 A US 8314890 B2 JP 201 121 1474 A	05.10.2011 20.11.2012 20.10.2011
-----	-----	-----	-----

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°
PCT/ES2013/000225

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD
G06T1/00 (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)
G06T

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

EPODOC, INVENES

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
A	09/06/1997, GUNAY Z S et al. CMOS winner-take-all circuits: a detailed comparison.Proceedings of 1997 IEEE International Symposium on Circuits and Systems, 1997. ISCAS '97., Hong Kong 9-12 June 1997, 19970609; 19970609 - 19970612 New York, NY, USAJEEEE, US 09/06/1997 VOL: 1 Pags: 41 - 44 ISBN 978-0-7803-3583-7 ; ISBN 0-7803-3583-X Doi: doi: 10. 1109/ISCAS.1997.6085 14. Todo el documento.	1

En la continuación del recuadro C se relacionan otros documentos Los documentos de familias de patentes se indican en el anexo

<p>* Categorías especiales de documentos citados:</p> <p>"A" documento que define el estado general de la técnica no considerado como particularmente relevante.</p> <p>"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.</p> <p>"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).</p> <p>"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.</p> <p>"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.</p>	<p>"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.</p> <p>"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.</p> <p>"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.</p> <p>"ife" documento que forma parte de la misma familia de patentes.</p>
--	--

Fecha en que se ha concluido efectivamente la búsqueda internacional.

Fecha de expedición del informe de búsqueda internacional.
20 de febrero de 2014 (20/02/2014)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional
OFICINA ESPAÑOLA DE PATENTES Y MARCAS
Paseo de la Castellana, 75 - 28071 Madrid (España)
N° de fax: 91 349 53 04

Funcionario autorizado
M. Muñoz Sánchez
N° de teléfono 91 3495349

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°

PCT/ES2013/000225

C (Continuación).		DOCUMENTOS CONSIDERADOS RELEVANTES
Categoría *	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
A	<p>23/05/2004, BADEL S et al. Mixed analog-digital image processing circuit based on hamming artificial neural network architecture.Proceedings / 2004 IEEE International Symposium on Circuits and Systems : May 23 - 26, 2004, Sheraton Vancouver Wall Centre Hotel, Vancouver, British Columbia, Canadá, 20040523; 20040523 - 20040526 IEEE Operations Center, Piscataway, NJ 23/05/2004 VOL: 5 Pags: 780 - 783 ISBN 978-0-7803-8251-0 ; ISBN 0-7803-8251-X. Todo el documento</p>	1
A	<p>US 2011242418 A1 (HOSOKAWA KENICHIRO ET AL.) 06/10/2011. Todo el documento</p>	1
A	<p>25/06/2009, RAFAL DLUGOSZ et al. A low power current-mode binary-tree WTA / LTA circuit for Kohonen neural networks.Mixed Design of Integrated Circuits&Systems, 2009. MIXDES &apos;09. MIXDES-16th International Conference, 20090625 IEEE, Piscataway, NJ, USA 25/06/2009 VOL: Pags: 201 - 204 ISBN 978-1-4244-4798-5; ISBN 1-4244-4798-4 Todo el documento</p>	1

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº

Informaciones relativas a los miembros de familias de patentes

PCT/ES2013/000225

Documento de patente citado en el informe de búsqueda	Fecha de Publicación	Miembro(s) de la familia de patentes	Fecha de Publicación
US201 1242418 A1	06.10.2011	CN 102209 180 A US 8314890 B2 JP 201 121 1474 A	05.10.2011 20.11.2012 20.10.2011
-----	-----	-----	-----