



- (51) Clasificación Internacional de Patentes:  
*G06T 7/60* (2006.01) *H01L 27/085* (2006.01) Tecnológico Cartuja, Avda. Américo Vespucio, s/n, 41092 Sevilla (ES).
- (21) Número de la solicitud internacional: PCT/ES20 13/000 109
- (22) Fecha de presentación internacional: 3 de mayo de 2013 (03.05.2013)
- (25) Idioma de presentación: español
- (26) Idioma de publicación: español
- (30) Datos relativos a la prioridad: P201200474 3 de mayo de 2012 (03.05.2012) ES
- (71) Solicitantes: **UNIVERSIDAD DE SEVILLA** [ES/ES]; OTRI - Universidad de Sevilla, Pabellón de Brasil, Paseo de las Delicias s/n, 41013 Sevilla (ES). **CONSEJO SUPERIOR DE INVESTIGACIONES CIENTÍFICAS (66%)** [ES/ES]; c/ Serrano, 117, 28006 Madrid (ES).
- (72) Inventores: **FERNÁNDEZ BERNI, Jorge**; Facultad de Física, Dpto. Electrónica y Electromagnetismo, Avda. Reina Mercedes s/n, 41012 Sevilla (ES). **RODRÍGUEZ VÁZQUEZ, Ángel**; Facultad de Física, Dpto. Electrónica y Electromagnetismo, Avda. Reina Mercedes s/n, 41012 Sevilla (ES). **CARMONA GALÁN, Ricardo**; Instituto de Microelectrónica de Sevilla - CSIC, Parque Científico y
- (81) Estados designados (*a menos que se indique otra cosa, para toda clase de protección nacional admisible*): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) Estados designados (*a menos que se indique otra cosa, para toda clase de protección regional admisible*): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, RU, TJ, TM), europea (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Continúa en la página siguiente]

- (54) Title: DEVICE FOR DETECTING EDGES AND IMPROVING THE QUALITY OF AN IMAGE
- (54) Título : DISPOSITIVO PARA LA DETECCIÓN DE BORDES Y MEJORA DE CALIDAD EN UNA IMAGEN

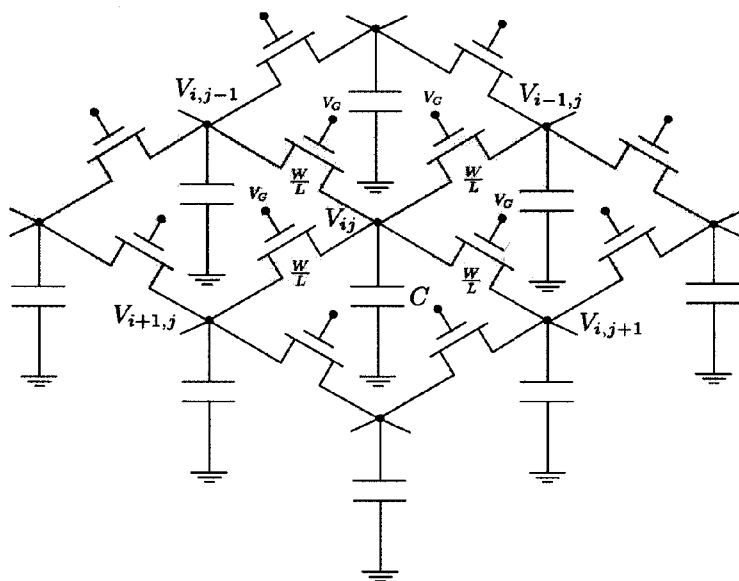


FIG. 1

(57) Abstract: The invention relates to a device for detecting edges and improving the quality of an image, which includes a group of elemental processor cells which are identical and locally interconnected. Each processor cell in turn is characterised by a comparator which compares, in parallel, each pair of adjacent pixels. The threshold voltage which establishes the voltage difference between pixels considered to be part of an edge is determined by a time adjustment of a control signal. Said adjustment, combined with that of the filtering control signal, also in time, are the only adjustments required in order to configure the desired processing. No external analog control signals are required, thus making it easier to program the hardware by the device used and reducing the number of digital-to-analog converters in the final system.

(57) Resumen: Dispositivo para la detección de bordes y mejora de calidad en una imagen que comprende

[Continúa en la página siguiente]



---

**Publicada:**

— con informe de búsqueda internacional (Art. 21(3))

— antes de la expiración del plazo para modificar las reivindicaciones y para ser republicada si se reciben modificaciones (Regla 48.2(h))

---

una agrupación de celdas elementales de procesamiento idénticas e interconectadas localmente. Cada celda de procesamiento se caracteriza a su vez por un comparador que lleva a cabo en paralelo la comparación de cada par de píxeles vecinos. La tensión umbral que establece la diferencia de tensión entre píxeles considerados parte de un borde se determina mediante un ajuste temporal de una señal de control. Este ajuste, junto con el de la señal de control de filtrado, también de carácter temporal, son los únicos necesarios para configurar el procesamiento deseado. No se requieren señales analógicas externas de control por lo que se facilita la programación del hardware por el dispositivo que se utilice y se reduce el número de convertidores digital/analógico del sistema final.

## DISPOSITIVO PARA LA DETECCIÓN DE BORDES Y MEJORA DE CALIDAD EN UNA IMAGEN

El campo técnico de la invención es el de la microelectrónica. Su marco de aplicación es el de los dispositivos electrónicos de muy bajo consumo de potencia que desempeñan tareas de visión artificial, es decir, captura de imágenes, análisis de las mismas y actuación en caso de que los resultados de dicho análisis así lo requieran.

### ESTADO DE LA TÉCNICA ANTERIOR

La detección de bordes y la mejora de la calidad en una imagen pueden ser llevadas a cabo de diferentes maneras. Una opción es el empleo de sistemas digitales de cómputo de propósito general. Estos sistemas pueden ser programados para procesar imágenes. A modo de ejemplo, un escenario típico sería el desarrollo de software para análisis de imágenes sobre un PC. Este software ejecutaría una serie de instrucciones haciendo uso del correspondiente microprocesador hasta conseguir el resultado deseado. La principal ventaja de este enfoque es la flexibilidad para abordar cualquier tipo de tarea gracias al carácter generalista del hardware subyacente. Sin embargo, esta ventaja se torna en inconveniente cuando las especificaciones de una aplicación concreta exigen sólo un conjunto restringido de las funcionalidades proporcionadas por este tipo de sistemas pero con un consumo de potencia mucho menor y niveles de rendimiento, en el sentido del número de operaciones por segundo, similares, o incluso superiores.

La naturaleza no específica del hardware es precisamente lo que impide en la mayoría de las ocasiones cumplir dichos requerimientos. Se plantean en el estado de la técnica alternativas puramente digitales a este problema. Una primera opción es utilizar procesadores digitales de señal optimizados para la ejecución de determinadas operaciones muy útiles para el procesado de imágenes, como por ejemplo la convolución. Otra opción sería la implementación de primitivas de procesamiento en circuitos integrados reconfigurables como FPGAs (Field-Programmable Gate Arrays) o CPLDs (Complex Programmable Logic Devices). También se puede plantear el diseño de circuitería digital específica para una determinada aplicación e integrarla en un chip. De las mencionadas, la última opción es la que permite obtener las mayores cotas de rendimiento y de eficiencia energética.

Asimismo se conocen del estado de la técnica documentos que describen el uso de circuitería de señal mixta (analógica y digital) para el procesamiento de imágenes como en la patente US2003/01 08221. También se describe el uso de circuitería de señal mixta en las publicaciones *J. Dubois, D. Ginhac, M. Paindavoine, y B. Heyrman, "A 10000 FPS CMOS sensor with massively parallel image processing," IEEE J. Solid-State Circuits, vol. 43, no. 3, pp. 706-717, 2008; P. Dudek, "SCAMP-3: A visión chip with SIMD current-mode analogue processor array," Focal-plane Sensor-Processor Chips, publicado por Springer, 2011; Fernández Berni, R. Carmona Galán y Luis Carranza González, "FLIP-Q: A QCIF resolution focal-plane array for low-power image processing," IEEE J. Solid-State Circuits, vol. 46, no. 3, pp. 669-680, 2011.* La mayoría de estos documentos están basados en la arquitectura de procesamiento descrita en la patente EP 1580814 que se caracteriza por una agrupación bidimensional de procesadores elementales interconectados que trabajan de manera concurrente y conjunta para implementar una determinada operación sobre una imagen.

En el documento *J. Poikonen, M. Laiho, and A. Paasio, "Anisotropic filtering with a resistive fuse network on the MIPA4k processor array," in IEEE International Workshop on Cellular Nanoscale Networks and Their Applications, 2010* se hace uso de la física inherente a una red de condensadores interconectados mediante resistencias para llevar a cabo un filtrado selectivo de una imagen, consiguiendo así eliminar ruido espacial sin afectar su contraste. Ese filtrado selectivo viene determinado por una circuitería de comparación que permite localizar los bordes de la imagen. Así, entre aquellos píxeles etiquetados como pertenecientes a un borde no se realiza filtrado alguno mientras que sobre el resto sí. Además de la mencionada mejora de calidad, la circuitería de comparación también hace posible la obtención de una imagen binaria donde se resaltan esos píxeles considerados como bordes en la imagen original.

## EXPLICACIÓN DE LA INVENCION

La presente invención tiene aplicación en dispositivos electrónicos de muy bajo consumo de potencia diseñados para realizar tareas de visión artificial. En concreto, el dispositivo de la invención permite la detección de bordes y la mejora de la calidad de la imagen. El dispositivo, además, permite el desarrollo de dispositivos autónomos de visión con un bajo consumo de potencia. Esta invención hace posible un alargamiento significativo de la vida útil de estos dispositivos en escenarios en los que es necesaria la máxima autonomía posible como ocurre en la monitorización de espacios naturales, la robótica, ayuda a la

navegación aérea no tripulada, etc.

El dispositivo de la presente invención emplea tensiones para la representación de los píxeles, no se utilizan corrientes como ocurre en el documento *J. Poikonen, M. Laiho, and A. Paasio, "Anisotropic filtering with a resistive fuse network on the MIPA4k processor array," in IEEE International Workshop on Cellular Nanoscale Networks and Their Applications, 2010* del estado de la técnica. La comparación entre píxeles vecinos que lleva a determinar la existencia o no de un borde se realiza también en modo tensión, no en modo corriente como en dicho documento del estado de la técnica.

La clave de la invención es el comparador que lleva a cabo en paralelo la comparación de cada par de píxeles vecinos. Por una parte, la tensión umbral que establece la diferencia de tensión entre píxeles considerados parte de un borde se determina mediante un ajuste temporal de una señal de control. Este ajuste, junto con el de la señal de control de filtrado, también de carácter temporal, son los únicos necesarios para configurar el procesamiento deseado. No se requieren señales analógicas externas de control por lo que se facilita la programación del hardware por el dispositivo que se utilice y se reduce el número de convertidores digital/analógico del sistema final. Además, debido al hecho de trabajar en modo tensión y a la forma de implementación que se propone, la eficiencia energética del comparador de la presente invención es mucho mayor que la obtenida por otras implementaciones conocidas del estado de la técnica.

La utilización de circuitería de señal mixta permite explotar al máximo la física de los transistores a la hora de procesar las señales eléctricas que representan los valores de los píxeles de una imagen, posibilitando la consecución de mejores cifras de rendimiento y consumo de potencia que una implementación digital equivalente. La circuitería novedosa de la invención permite conseguir un consumo de potencia mucho menor que cualquier otro dispositivo hasta el momento.

Asimismo, es objeto de la presente invención un método para la detección hardware de bordes y mejora de calidad en una imagen, implementado en el dispositivo descrito anteriormente y que comprende las etapas de asociar el valor de cada píxel de la imagen con el valor de tensión analógica almacenado en un condensador interconectado mediante al menos dos transistores MOS a los condensadores de su vecindad inmediata en la fila

inferior y la columna de la derecha, de tal forma que la tensión en cada uno de los condensadores vecinos representa a su vez el píxel correspondiente a esa posición espacial dentro de la distribución; y comparar el valor local del píxel de manera programable con los píxeles vecinos mediante unos comparadores de tensión con salida digital; y donde el resultado de la comparación con cada vecino es combinado respectivamente con una señal global de filtrado activa por nivel lógico '0' a través de una puerta digital OR cuyas salidas controlan el terminal de puerta del transistor que interconecta las celdas elementales; y donde la salida de los comparadores de tensión se combina mediante otra puerta digital OR cuya salida representa una imagen binaria donde aquellos píxeles con nivel lógico '1' determinan la localización de los bordes de la imagen.

A lo largo de la descripción y las reivindicaciones la palabra "comprende" y sus variantes no pretenden excluir otras características técnicas, aditivos, componentes o pasos. Para los expertos en la materia, otros objetos, ventajas y características de la invención se desprenderán en parte de la descripción y en parte de la práctica de la invención. Los siguientes ejemplos y dibujos se proporcionan a modo de ilustración, y no se pretende que sean limitativos de la presente invención. Además, la presente invención cubre todas las posibles combinaciones de realizaciones particulares y preferidas aquí indicadas.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

FIG. 1 muestra la estructura básica del dispositivo de la invención, es decir, una red RC basada en transistores MOS

FIG. 2 muestra una unidad elemental de procesamiento de una red RC como la mostrada en la Figura 1. Aquellas unidades situadas justo sobre los bordes inferior y derecho no tendrán conectividad al sur y al este, respectivamente.

FIG.3 muestra una unidad elemental de procesamiento del hardware propuesto. Se basa en la unidad elemental representada en la figura 2, sobre la que se muestran los dispositivos añadidos para conseguir la funcionalidad objeto de la presente invención.

FIG.4 muestra un esquema del comparador representado en la figura 3.

FIG. 5a muestra un ejemplo de realización de la unidad elemental de procesamiento de la

figura 3

FIG. 5b muestra un ejemplo de realización del comparador representado en la figura 4.

#### EXPOSICION DETALLADA DE MODOS DE REALIZACIÓN Y EJEMPLOS

El dispositivo de la presente invención para la detección de bordes y mejora de calidad de una imagen comprende una estructura hardware que se basa en una red RC basada en transistores MOS donde cada transistor juega el papel de un resistor que se activa a través de su tensión de puerta. Esto se puede ver en la figura 1. Cada pixel de la imagen a procesar está representado de manera analógica por la tensión de un condensador (1). Se considera que la red del hardware de la invención está compuesta por una distribución espacial regular bidimensional de celdas elementales de procesamiento idénticas localmente interconectadas. Las celdas permiten detectar de manera programable bordes en una imagen y realizar un filtrado selectivo sobre dicha imagen.

Así pues el dispositivo para la detección de bordes y mejora de calidad en una imagen comprende un hardware de señal mixta que se caracteriza por tener celdas de procesamiento idénticas e interconectadas localmente. Se caracteriza también por llevar a cabo en paralelo la comparación de cada par de píxeles vecinos. Cada pixel de la imagen está representado analógicamente por el valor de tensión de un condensador (1), estando dicho condensador (1) interconectado mediante al menos dos transistores MOS (2, 3) a los condensadores (1) de su vecindad inmediata, que representan a los píxeles contiguos de la fila inmediatamente inferior y de la columna inmediatamente a la derecha. Esto se aprecia en la figura 2. El dispositivo comprende además unos comparadores de tensión (4, 5) con salida digital que permiten la comparación del valor local de un pixel con el valor de sus píxeles vecinos, el pixel que queda en la fila inmediatamente inferior y el pixel que queda en la columna inmediatamente a la derecha. El dispositivo comprende además al menos dos puertas digitales OR (6, 7) que combinan la salida de dicha comparación, es decir, la salida de cada uno de los comparadores de tensión (4, 5), y una señal global de filtrado activa por nivel lógico '0', estando las salidas de las puertas digitales OR (6, 7) conectadas con el terminal de puerta de los transistores MOS (2, 3). El dispositivo comprende una tercera puerta digital OR (8) que tiene como entradas las salidas de los comparadores de tensión (4, 5) y cuya salida representa una imagen binaria donde aquellos píxeles con valor lógico '1' son los bordes de la imagen que se está procesando y aquellos con valor lógico '0'

representan el resto de píxeles que no se consideran bordes. Todos estos elementos se aprecian en la figura 3.

Cada comparador (4, 5) opera sobre la tensión de dos condensadores vecinos, activando su filtrado a través de la tensión de puerta del transistor que los une (2, 3) siempre y cuando su diferencia sea menor que una cierta tensión umbral. En caso contrario el transistor pasa a modo corte impidiendo el filtrado.

En una realización preferente de la invención, los comparadores (4,5) comprenden un par diferencial (9,10,11) cuya entrada viene determinada por las tensiones de los píxeles a comparar y cuya corriente de salida se convierte a tensión mediante la descarga programable por tiempo de condensadores (12) pre-cargados a una cierta tensión, no como se hace habitualmente en el estado de la técnica que es mediante resistencias o mediante cargas activas basadas en transistores MOS. El intervalo de tiempo de descarga determina la tensión umbral del comparador. Tanto la precarga de los condensadores (12) como su descarga se controlan mediante una única señal que determina el estado abierto o cerrado de los respectivos interruptores (13,14). En la figura 4 se observa representada la circuitería interna de dichos comparadores.

En una realización de la invención, la conversión analógico-digital del resultado de la comparación llevada a cabo en los comparadores (4, 5) se realiza mediante una puerta digital XOR (15) cuyas entradas corresponden a las tensiones finales de los condensadores (12) tras su pre-carga y posterior descarga durante un intervalo de tiempo programable. Así pues, el ajuste temporal depende de la tensión umbral de entrada de la puerta XOR (15) que transforma diferencias de tensión analógicas en una señal digital de salida indicando el resultado de la comparación.

En otra realización preferente de la invención, la salida de la puerta digital XOR es almacenada en un elemento de memoria (16) hasta que se lleva a cabo la siguiente comparación. El instante de almacenamiento puede venir también fijado por la señal de control de los interruptores (13,14).

Asimismo, es objeto de la presente invención un método para la detección hardware de bordes y mejora de calidad en una imagen, implementado en el dispositivo descrito anteriormente y que comprende las etapas de:

(i) asociar el valor de cada píxel de la imagen con el valor de tensión analógica en un condensador (1) interconectado mediante al menos dos transistores MOS (2,3) a los condensadores (1) de su vecindad inmediata en la fila inferior y la columna a la derecha, de tal forma que la tensión en cada uno de los condensadores vecinos representa a su vez el pixel correspondiente a esa posición espacial dentro de la distribución;

(ii) comparar el valor local del píxel de manera programable con los píxeles vecinos mediante unos comparadores de tensión (4,5) con salida digital; y donde el resultado de la comparación con cada vecino es combinado respectivamente con una señal global de filtrado activa por nivel lógico '0' a través de una puerta digital OR (6,7) cuyas salidas controlan el terminal de puerta del transistor que interconecta los transistores MOS (2,3) de las celdas; y donde la salida de los comparadores de tensión (4,5) se combina mediante otra puerta digital OR cuya salida representa una imagen binaria donde aquellos píxeles con nivel lógico '1' determinan la localización de los bordes de la imagen original.

En una realización preferente de la invención, la comparación comprende una etapa de conversión a tensión de la corriente de salida del par diferencial (9,10,11) de los comparadores mediante la descarga programable por tiempo de unos condensadores (12) pre-cargados a una cierta tensión, donde este intervalo de tiempo de descarga determina la tensión umbral del comparador; y donde tanto la precarga de los condensadores (12) como su descarga se controlan mediante una única señal que determina el estado abierto o cerrado de los respectivos interruptores (13,14).

En otra realización de la invención, la conversión analógico-digital del resultado de la comparación se realiza mediante una puerta digital XOR (15) cuya entradas corresponden a las tensiones finales de los condensadores (12) tras su pre-carga y posterior descarga durante un intervalo de tiempo programable. Asimismo la salida de la puerta digital XOR se puede almacenar en un elemento de memoria (16) hasta que se lleva a cabo la siguiente comparación. De acuerdo con otra posible realización, el instante de almacenamiento viene también fijado por la señal de control de los interruptores (13,14).

#### Ejemplo 1

En la figura 5 se muestra un ejemplo operativo de implementación tanto de la celda básica de procesamiento como de su elemento clave, el comparador de tensiones controlado por tiempo. El diseño ha sido realizado para una tecnología CMOS estándar de  $0.13\mu\text{m}$  y  $1.5\text{V}$ . En la figura 5 se muestran las dimensiones de cada uno de los transistores que componen la circuitería de procesamiento propuesta, así como el valor de las capacidades y de las tensiones de alimentación y de polarización requeridas.

Las dimensiones del resistor MOS elemental y el valor de la capacidad que conforman la red RC conducen, en este ejemplo, a una constante de tiempo de  $118\text{ns}$ . El rango de señal de los pixeles es  $[0.75\text{V}, 1.5\text{V}]$ . El ajuste temporal del comparador dependerá de su tensión umbral, que a su vez dependerá de cómo se define la pertenencia a un borde de la imagen a procesar ya que diferencias de tensión entre pixeles vecinos por encima de esa tensión umbral supondrán la existencia de un borde. Para este diseño, tras haber pre-cargado a  $1.5\text{V}$  los condensadores fijando la señal de control *ctrl* a '0' lógico, una posterior conmutación de esta misma señal a '1' lógico durante  $70\text{ns}$  conducirá a una tensión umbral de  $0.25\text{V}$  para condiciones de operación típicas en los transistores. Para mantener esta misma tensión umbral en otras condiciones de operación debidas a variaciones inherentes al proceso de fabricación, simplemente debemos volver a ajustar ese período de conmutación. Así, en los extremos de variación de los parámetros de la tecnología, dicho período tomará valores de  $28\text{ns}$  para las esquinas 'FF' y 'FS' del espacio de diseño y de  $28077\text{S}$  para las esquinas 'SF' y 'SS'.

Una vez se localizan los bordes, representados como imagen binaria mediante tensiones, se aplica un filtrado espacial selectivo para conseguir la mejora de calidad de la imagen original, representada por las tensiones de los condensadores de la red RC. A modo de ejemplo se fija un '0' lógico en la señal *DIFFJEN*, activa por nivel bajo, durante  $50\text{ns}$ . Este intervalo de tiempo también debe ser ajustado de acuerdo a las variaciones en las condiciones de operación de los transistores provocadas por el proceso de fabricación. Para las esquinas 'FF' y 'SF' del espacio de diseño su valor sería de  $44\text{ns}$  mientras que para las esquinas 'FS' y 'SS' sería de  $58\text{ns}$ .

## REIVINDICACIONES

1- Dispositivo para la detección de bordes y mejora de calidad en una imagen que comprende un hardware de señal mixta y que comprende una pluralidad de celdas elementales de procesamiento en paralelo idénticas e interconectadas localmente y que se **caracteriza porque**

-cada pixel de la imagen está representado analógicamente por el valor de tensión de un condensador (1), estando dicho condensador (1) interconectado mediante al menos dos transistores MOS (2, 3) a los condensadores (1) de su vecindad inmediata, que representan a los pixeles contiguos, que están en la fila inferior y en la columna de la derecha;

-la celda elemental comprende además unos comparadores de tensión (4, 5) con salida digital que permiten la comparación del valor local de un pixel con el valor local de sus pixeles vecinos teniendo como entradas el valor del pixel a estudio y el valor del pixel contiguo;

-el dispositivo comprende al menos dos puertas digitales OR (6,7) que combinan la salida de cada comparador de tensión (4, 5) con una señal global de filtrado activa por nivel lógico '0', estando las salidas de las puertas digitales OR (6, 7) conectadas con el terminal de puerta de los transistores MOS (2, 3);

-y la celda elemental comprende una tercera puerta digital OR (8) que tiene como entradas las salidas de los comparadores de tensión (4, 5) y cuya salida representa una imagen binaria que tiene valor lógico '1' para los pixeles que son bordes en la imagen original y que tiene valor lógico '0' para los restantes pixeles.

2- Dispositivo según la reivindicación 1 en donde los comparadores (4,5) comprenden un par diferencial (9,10,11) cuya entrada viene determinada por las tensiones de los pixeles a comparar y cuya corriente de salida se convierte a tensión mediante la descarga programable por tiempo de condensadores (12) pre-cargados a una cierta tensión, donde este intervalo de tiempo de descarga determina la tensión umbral del comparador; y donde tanto la precarga de los condensadores (12) como su descarga se controlan mediante una única señal que determina el estado abierto o cerrado de los respectivos interruptores (13,14).

3.- Dispositivo de acuerdo con la reivindicación 2 en donde la conversión analógico-digital del resultado de la comparación se realiza mediante una puerta digital XOR (15) cuyas entradas corresponden a las tensiones finales de los condensadores (12) tras su pre-carga y posterior descarga durante un intervalo de tiempo programable.

4.- Dispositivo de acuerdo con cualquiera de las reivindicaciones 2 a 3 en donde la salida de la puerta digital XOR es almacenada en un elemento de memoria (16) hasta que se lleva a cabo la siguiente comparación.

5.- Dispositivo de acuerdo con cualquiera de las reivindicaciones 2 a 4 en donde el instante de almacenamiento viene también fijado por la señal de control de los interruptores (13,14).

6.- Método para la detección hardware de bordes y mejora de calidad en una imagen, implementado en el dispositivo de cualquiera de las reivindicaciones 1 a 5 que comprende las etapas de: (i) asociar el valor de cada píxel de la imagen con el valor de tensión analógica en un condensador (1) interconectado mediante al menos dos transistores MOS (2,3) a los condensadores (1) de su vecindad inmediata en la fila inferior y la columna a la derecha, de tal forma que la tensión en cada uno de los condensadores vecinos representa a su vez el píxel correspondiente a esa posición espacial dentro de la distribución; (ii) comparar el valor local del píxel de manera programable con los píxeles vecinos mediante unos comparadores de tensión (4,5) con salida digital; y donde el resultado de la comparación con cada vecino es combinado respectivamente con una señal global de filtrado activa por nivel lógico '0' a través de una puerta digital OR (6,7) cuyas salidas controlan el terminal de puerta del transistor que interconecta los transistores MOS (2,3) de las celdas; y donde la salida de los comparadores de tensión (4,5) se combina mediante una segunda puerta digital OR cuya salida representa una imagen binaria donde aquellos píxeles con nivel lógico '1' determinan la localización de los bordes en la imagen original.

7.- Método de acuerdo con la reivindicación 6 en donde la comparación comprende una etapa de conversión a tensión de la corriente de salida del par diferencial (9,10,11) de los comparadores mediante la descarga programable por tiempo de unos condensadores (12) pre-cargados a una cierta tensión, donde este intervalo de tiempo de descarga determina la tensión umbral del comparador; y donde tanto la precarga de los condensadores (12) como su descarga se controlan mediante una única señal de control que determina el estado abierto o cerrado de los respectivos interruptores (13,14).

8.- Método de acuerdo con la reivindicación 7 en donde la conversión analógico-digital del resultado de la comparación se realiza mediante una puerta digital XOR (15) cuya entradas corresponden a las tensiones finales de los condensadores (12) tras su pre-carga y posterior descarga durante un intervalo de tiempo programable.

9.- Método de acuerdo con cualquiera de las reivindicaciones 7 a 8 en donde la salida de la puerta digital XOR es almacenada en un elemento de memoria (16) hasta que se lleva a cabo la siguiente comparación.

10.- Método de acuerdo con cualquiera de las reivindicaciones 7 a 9 en donde el instante de almacenamiento viene también fijado por la señal de control de los interruptores (13,14).

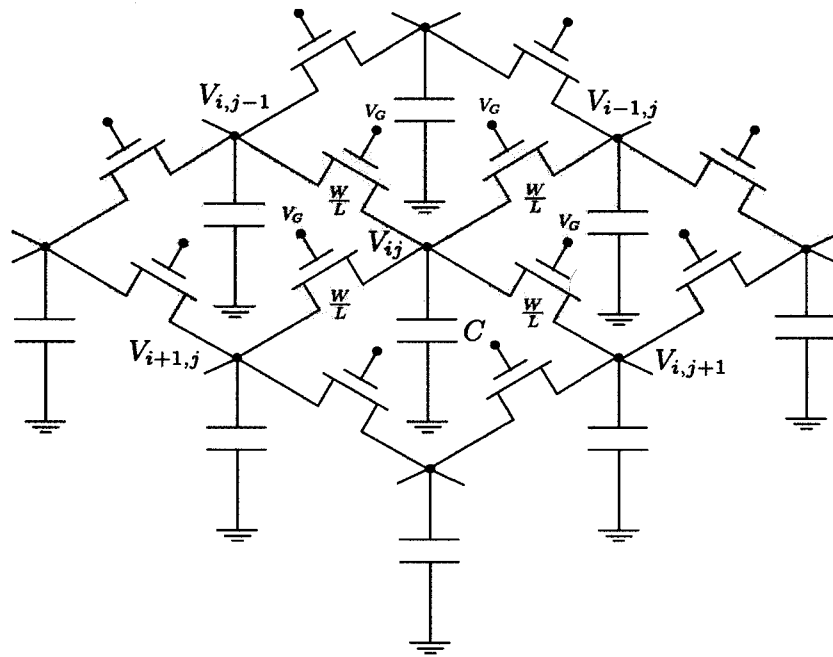


FIG. 1

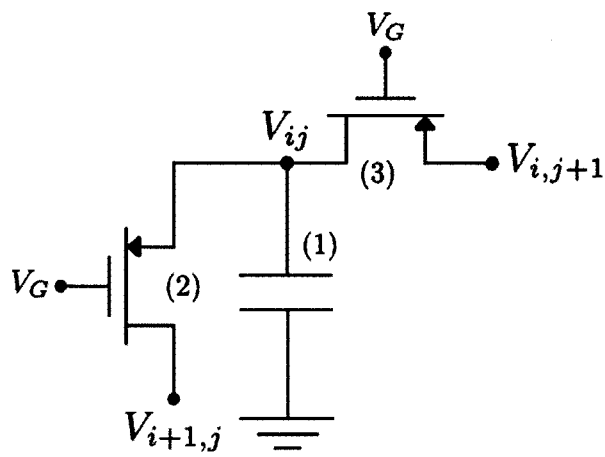


FIG. 2

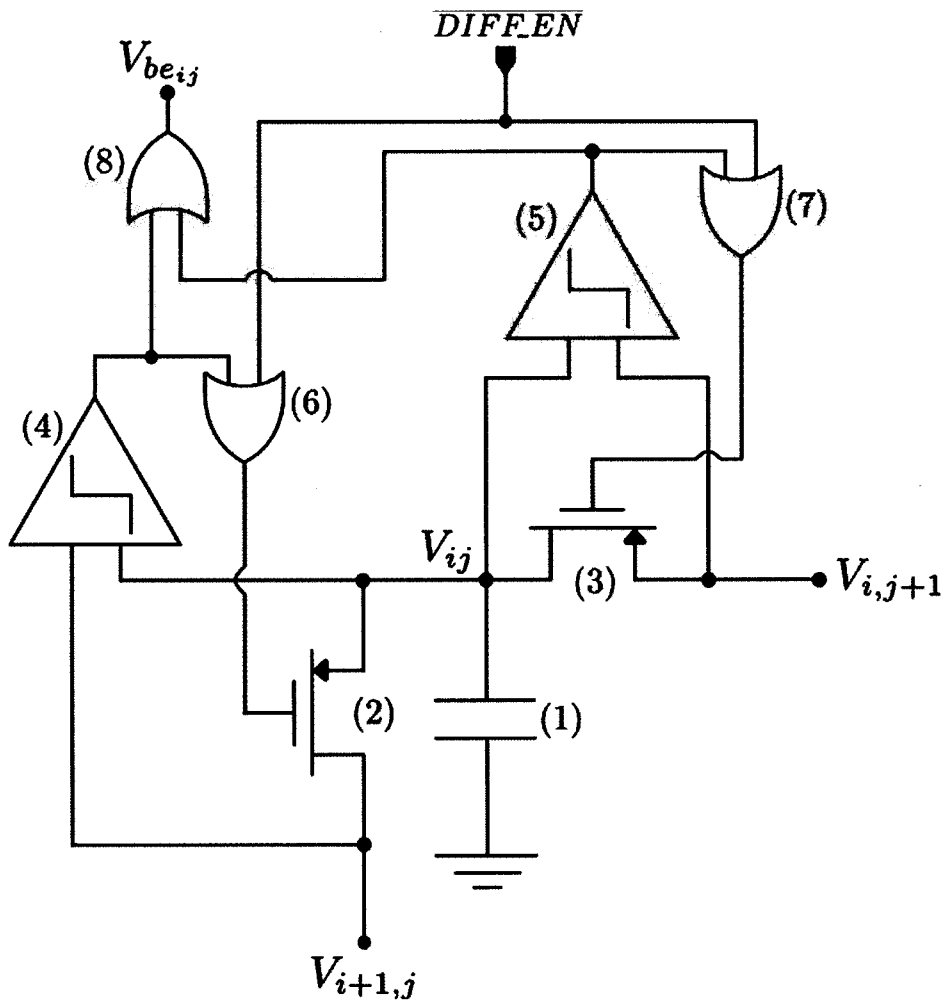


FIG. 3

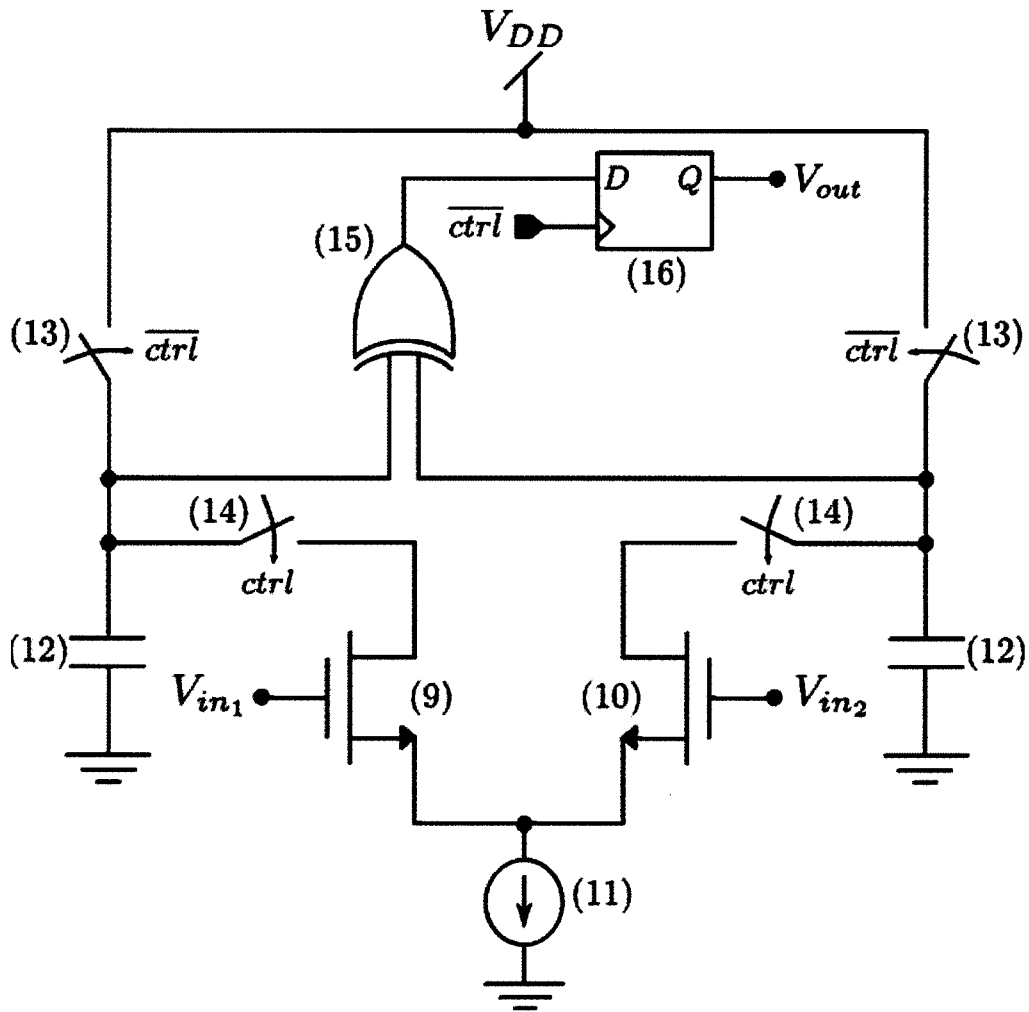


FIG. 4

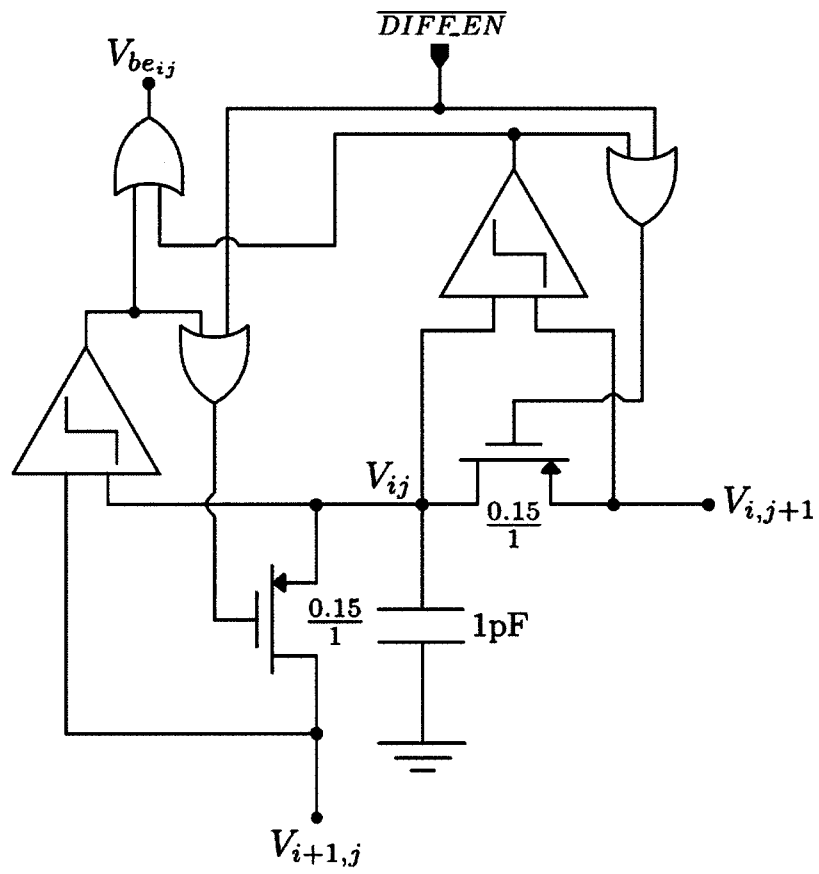


FIG. 5a

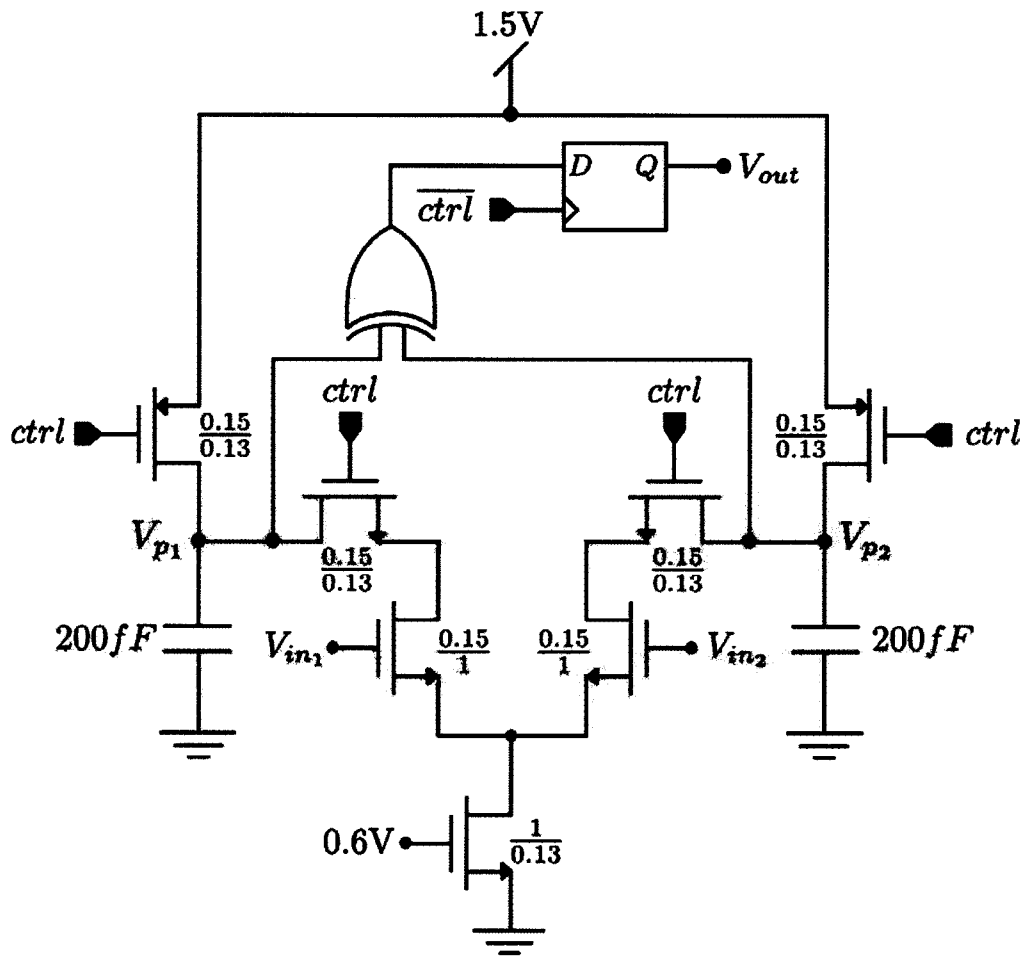


FIG.5b

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/ES2013/000109

## A. CLASSIFICATION OF SUBJECT MATTER

**G06T7/60** (2006.01)  
**H01L27/08S** (2006.01)  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
**G06T, H01L**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**EPODOC, INVENES, WPI, NPL, XPESP, XPAIP, XPBE, INSPEC.**

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Schemmel J., Loóse M., Meier K.. "A 66 x 66 pixels analog edge detection array with digital readout". Solid-State Circuits Conference, 1999. ESSCIRC '99. Proceedings of the 25th European Duisburg, Germany 21-23 Sept. 1999, 19990921; 19990921 - 19990923 Piscataway, NJ, USA, IEEE 21/09/1999 Vol: Pags: 298 - 301 XP010824250 ISBN 978-2-86332-246-8 ; ISBN 2-86332-246-X .	1-10

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance.</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure use, exhibition, or other means.</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	--

Date of the actual completion of the international search  
**17/09/2013**

Date of mailing of the international search report  
**(25.09.2013)**

Name and mailing address of the ISA/

Authorized officer  
J. Botella Maldonado

OFICINA ESPAÑOLA DE PATENTES Y MARCAS  
Paseo de la Castellana, 75 - 28071 Madrid (España)  
Facsímile No.: 91 349 53 04

Telephone No. 91 3495382

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/ES2013/000109

C (continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of documents, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Lisa G. McIlrath. "A Low-Power Analog Correlation Processor for Real-Time Camera Alignment and Motion Computation". IEEE Transactions On Circuits And Systems II: Analog And Digital Signal Processing, 2000-12-01 Institute Of Electrical And Electronics Engineers Inc, 345 East 47 Street, New York, N.Y. 10017, USA, 2000-12-01 Vol 47 Nr 12 XP01 1013355 ISSN 1057-7130.	1-10

# INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº  
PCT/ES2013/000109

## A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

**G06T7/60** (2006.01)

**H01L27/085** (2006.01)

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

## B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

**G06T, H01L**

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

**EPQDQC, INVENES, WPI, NPL, XPESP, XPAIP, XPI3E, INSPEC.**

## C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones nº
A	Schemmel J., Loóse M., Meier K.. "A 66 x 66 pixels analog edge detection array with digital readout". Solid-State Circuits Conference, 1999. ESSCIRC '99. Proceedings of the 25th European Duisburg, Germany 21-23 Sept. 1999, 19990921; 19990921 - 19990923 Piscataway, NJ, USA, IEEE 21/09/1999 Vol: Pags: 298 - 301 XP010824250 ISBN 978-2-86332-246-8 ; ISBN 2-86332-246-X .	1-10

En la continuación del recuadro C se relacionan otros documentos

Los documentos de familias de patentes se indican en el anexo

<p>* Categorías especiales de documentos citados:</p> <p>"A" documento que define el estado general de la técnica no considerado como particularmente relevante.</p> <p>"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.</p> <p>"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).</p> <p>"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.</p> <p>"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.</p>	<p>"T" documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.</p> <p>"X" documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.</p> <p>"Y" documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.</p> <p>"&amp;" documento que forma parte de la misma familia de patentes.</p>
--	--

Fecha en que se ha concluido efectivamente la búsqueda internacional.  
**17/09/2013**

Fecha de expedición del informe de búsqueda internacional.  
**25 Septiembre 2013 (25.09.2013)**

Nombre y dirección postal de la Administración encargada de la búsqueda internacional  
OFICINA ESPAÑOLA DE PATENTES Y MARCAS  
Paseo de la Castellana, 75 - 28071 Madrid (España)  
Nº de fax: 91 349 53 04

Funcionario autorizado  
J. Botella Maldonado  
Nº de teléfono 91 3495382

# INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°

PCT/ES2013/000109

C (Continuación).		
DOCUMENTOS CONSIDERADOS RELEVANTES		
Categoría *	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
A	Lisa G. McIlrath. "A Low-Power Analog Correlation Processor for Real-Time Camera Alignment and Motion Computation". IEEE Transactions On Circuits And Systems II: Analog And Digital Signal Processing, 2000-12-01 Institute Of Electrical And Electronics Engineers Inc, 345 East 47 Street, New York, N.Y. 10017, USA, 2000-12-01 Vol 47 Nr 12 XP01 1013355 ISSN 1057-7130.	1-10