



Trabajo Fin de Máster
“Máster Universitario en Microelectrónica:
Diseño y Aplicaciones de Sistemas
Micro/Nanométricos”

**Diseño de un sensor solar basado en
eventos**

Autor: Antonio de la Calle Martos

Director: Juan Antonio Leñero

Segundo director: Ricardo Carmona Galán

28 de junio de 2019

A Mari Carmen

CONTENIDO

I.	Introducción.....	4
1.1.	Objetivos del proyecto.....	4
1.2.	La posición del sol en coordenadas esféricas[1]	5
1.2.1.	El plano eclíptico	6
1.3.	Sensores solares	7
1.3.1.	Sensores solares analógicos.....	7
1.3.2.	Sensores solares digitales	8
1.3.3.	Sensores de imagen	10
1.3.4.	Unión pn, región de deplexión y efecto fotoeléctrico	13
1.3.5.	Sistemas de visión neuro mórficos [9]	15
1.3.6.	Protocolo de comunicación AER	16
II.	Estado del arte.....	18
2.1.	Sensores solares basados en eventos.....	20
2.2.	Descripción del sistema.....	21
III.	Diseño del píxel.....	24
3.1.	Arquitectura y modos de operación	25
3.1.1.	Simulaciones eléctricas	27
3.1.1.1.	Integrador de carga.....	27
3.1.1.2.	Inversores	29
3.1.1.3.	Puerta NOR.....	32
3.1.1.4.	Puerta NAND	34
3.1.1.5.	El flip-flop SR	36
3.1.1.6.	Comparador de 2 etapas	38
3.1.1.7.	Elemento C de Müller	42
3.1.1.8.	Píxel.....	44
IV.	Circuitería periférica.....	50
4.1.	Arbitrador	50
4.2.	Lógica de selección.....	54

4.3.	Periferia	54
V.	Implementación física.....	56
5.1.	Layout del circuito.....	56
5.2.	Verificaciones físicas y reglas de diseño	57
5.3.	Layout del Píxel	59
5.4.	Layouts de la circuitería periférica.....	65
5.4.1.	Lógica de selección	65
5.4.2.	Arbitrador	67
5.4.3.	Periferia.....	69
5.4.4.	Matriz de píxeles y circuitería periférica	70
VI.	Trabajo futuro	72
VII.	Referencias	75

I. INTRODUCCIÓN

1.1. OBJETIVOS DEL PROYECTO

Los objetivos de este proyecto son:

1. Explicar en qué consiste un sensor solar y dar una visión general sobre el estado de arte y el cambio de paradigma que suponen los sensores solares basados en eventos.
2. Diseñar un píxel para un sensor solar basado en eventos a partir de una arquitectura dada, así como la circuitería periférica y de control y comunicaciones.

En la sección 1.2 se introduce brevemente cómo identificar la posición del sol en un sistema de referencia eclíptico usando coordenadas esféricas y el concepto de esfera celeste.

En la sección 1.3 se describen las dos grandes familias de sensores que coexisten en la actualidad: los sensores solares analógicos y los sensores solares digitales (secciones 1.3.1 y 1.3.2). A continuación, en los apartados siguientes se profundiza en el concepto de sensor de imagen y la parte más importante del píxel, el fotodiodo, para ello se recuerda en qué consisten la unión pn y el efecto fotoeléctrico. Los dos últimos apartados (1.3.5 y 1.3.6) introducen los conceptos de sistemas de visión neuro mórficos y el protocolo de comunicación AER.

En la sección II se describe el estado del arte de los sensores solares y a continuación se presentan los sensores solares basados en eventos y se describe el sistema de nuestro sensor de imagen.

En la sección III se introduce la arquitectura del píxel y sus dos modos de operación. En los siguientes apartados están los diseños y simulaciones eléctricas de los bloques básicos que se utilizan en el píxel y para la circuitería periférica, la sección concluye con simulaciones del píxel.

En la sección IV se presentan los diseños de la circuitería periférica con resultados por simulación.

En la sección V se introduce brevemente en que consiste la implementación física del diseño y los pasos que se deben seguir antes de mandarlo a la fábrica.

Por último tenemos la sección VI que indica el trabajo futuro y la sección VII dedicada a referencias.

1.2. LA POSICIÓN DEL SOL EN COORDENADAS ESFÉRICAS[1]

Un punto en un espacio de 3 dimensiones se puede representar en coordenadas esféricas (r, θ, ϕ) , donde r es la distancia radial, θ el ángulo polar y ϕ el ángulo azimutal. En términos de coordenadas rectangulares se tiene que:

$$\mathbf{r} = \begin{pmatrix} x \\ y \\ z \end{pmatrix} = \begin{pmatrix} r \operatorname{sen}\theta \cos\phi \\ r \operatorname{sen}\theta \sin\phi \\ r \cos\theta \end{pmatrix} \quad (1.1)$$

tal y como se ilustra en la Figura 1.

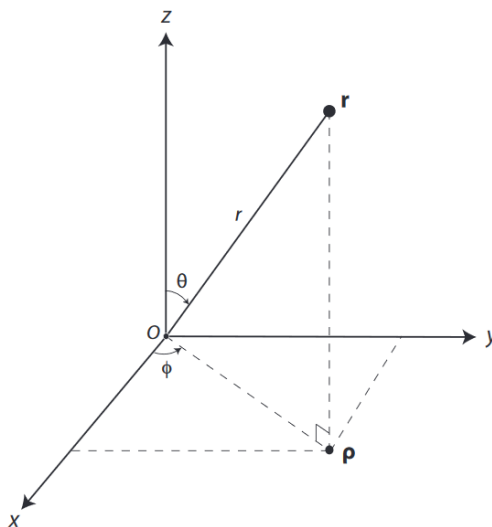


Figura 1. En coordenadas esféricas, el vector \mathbf{r} de tres dimensiones es expresado en términos de la distancia radial r , el ángulo polar θ y el ángulo azimutal ϕ . El vector ρ es la proyección de \mathbf{r} sobre el plano x - y . En términos de coordenadas rectangulares $x = r \operatorname{sen}\theta \cos \phi$, $y = r \operatorname{sen}\theta \sin \phi$ y $z = r \cos\theta$.

La *esfera celeste* es una superficie esférica imaginaria que comparte su centro el globo terrestre y tiene un radio de valor arbitrario. La posición de estrellas, planetas y demás cuerpos del espacio se caracterizan por su proyección radial sobre dicha superficie. Dado que el radio de la esfera celeste es mucho mayor que el radio de la tierra, un punto situado en el centro de la tierra, en su superficie o incluso en su órbita circular intermedia¹. Por simplicidad, se toma como 1 y sin unidades el valor del radio r de la esfera celeste. Usaremos el símbolo \odot (el símbolo astronómico del sol) para indicar vectores o coordenadas referidas a la posición del sol.

¹ La órbita circular intermedia se usa por satélites entre altitudes de órbita terrestre baja (1200km) y órbita geo sincrona (35.800km).

1.2.1. El plano eclíptico

Desde la tierra, parece que el sol se mueve sobre el fondo lleno de estrellas a lo largo de un gran círculo sobre la esfera celeste llamado la eclíptica². El sistema de referencia con origen en la tierra y cuyo plano x-y es paralelo al plano eclíptico recibe el nombre de sistema eclíptico, en dicho sistema de referencia, el ángulo polar del sol vale siempre $\theta_{\odot} = \pi/2$, mientras que su ángulo azimutal varía con el tiempo tal y como se muestra en la Figura 2.

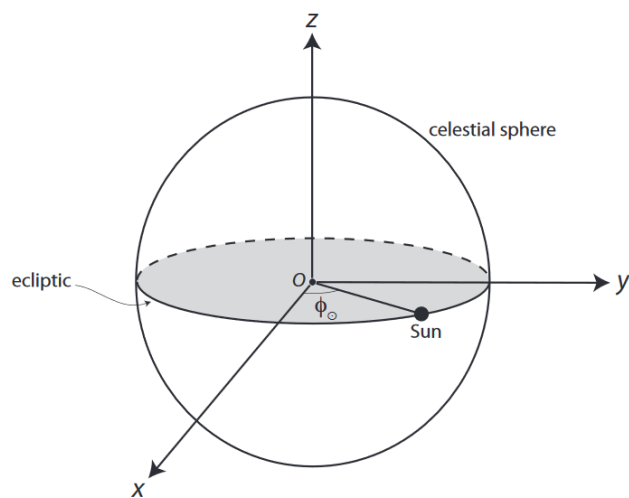


Figura 2. El sol se mueve sobre la eclíptica. En el sistema de referencia eclíptico, el ángulo polar del sol se mantiene constante, $\theta_{\odot} = \pi/2$, mientras que el ángulo azimutal ϕ_{\odot} aumenta con el tiempo a una velocidad aproximada de 2π por año.

Si la órbita de la tierra fuese perfectamente circular, ϕ_{\odot} , aumentaría a una velocidad constante completando un ciclo en un año. Esto no es realmente así dado que la órbita de la tierra es ligeramente elíptica, pero por simplicidad expresaremos el ángulo azimutal del sol como una función del tiempo. Podemos entonces expresar la posición del sol en el sistema de referencia eclíptico como:

$$\mathbf{r}_{\odot}(t) = \begin{pmatrix} \cos\phi_{\odot}(t) \\ \sin\phi_{\odot}(t) \\ 0 \end{pmatrix} \quad (1.2)$$

Todo esto es aplicable a un sensor solar que orbita alrededor de la tierra, teniendo en cuenta que la posición del sol siempre estará referida al centroide de este, siendo imposible determinar su distancia.

² A veces se define la eclíptica como el plano sobre el que orbita la tierra alrededor del sol.

1.3. SENSORES SOLARES

El objetivo de este trabajo ha sido diseñar y fabricar un sensor solar basado en eventos.

Un sensor solar es un dispositivo tal que proporciona información sobre la posición del sol, son ampliamente conocidos y usados para el control de actitud en satélites o para la orientación automatizada de paneles solares. La demanda de energía limpia y el auge en la fabricación de microsatélites ha despertado el interés de la industria y la comunidad científica sobre este tipo de dispositivos [2]. Actualmente coexisten dos grandes familias, los sensores solares analógicos y los sensores solares digitales.

1.3.1. Sensores solares analógicos

Un sensor solar analógico es una composición de módulos optoelectrónicos³. En la Figura 3 se muestra la implementación real de un sensor de este tipo [1],[4]. El módulo más importante de todos es el elemento sensor, capaz de convertir la información óptica, proporcionada por los rayos solares, en corrientes eléctricas o tensiones. En la región central del sensor de la Figura 3 está indicado el elemento sensor (región central de a)) que consiste en dos pares de fotodiodos colocados ortogonales entre sí en el plano sensor, de esta forma se puede medir el ángulo de incidencia de los rayos solares en ambas direcciones.

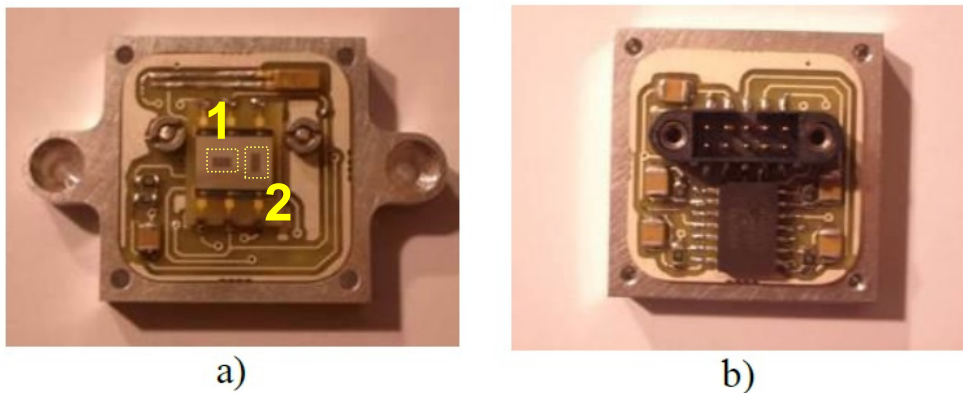


Figura 3. Implementación de sensor solar.

En la Figura 4 se muestra la estructura del elemento sensor. Dos fotodiodos son implementados en un sustrato de silicio con dopado de tipo p. Los rayos del sol llegan a los fotodiodos atravesando una cubierta de vidrio situada bajo una ventana, generando corrientes. Del cociente de ambas corrientes se puede obtener el ángulo de los rayos incidentes.

³ La optoelectrónica es el campo tecnológico relacionado con el diseño y aplicación de dispositivos electrónicos para el suministro, la detección y el control de la luz.

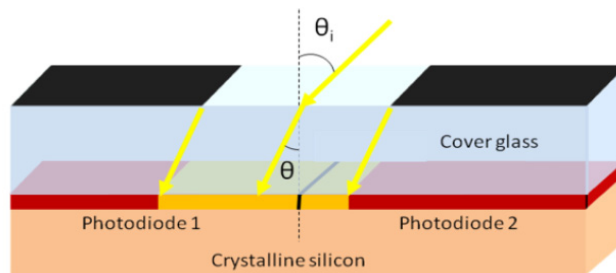


Figura 4. Estructura del elemento sensor de un sensor solar analógico.

En general, las señales emitidas por los fotodiodos tienen una potencia muy pequeña por lo que se hace necesario incluir una o incluso varias etapas de amplificación para tener una señal fiable y fácil de manejar. Las ventajas de este tipo de sensores son su rápida operación y su simplicidad. La desventaja es que son sensibles a distractores de escena y al ruido.

1.3.2. Sensores solares digitales

Este tipo de sensores están formados por una matriz de píxeles y circuitería periférica de control y lectura (ver Figura 5). Los sensores solares digitales, en general, utilizan un sensor de visión basado en *frames* con tecnología APS [12] y una óptica dedicada. Una vez leída la matriz de píxeles, se calcula el centroide de la región iluminada (ver Figura 6 y Figura 7). Finalmente, mediante relaciones trigonométricas se calcula el azimut y la elevación del sol. En la Figura 5 se muestra las fotografías de dos sensores solares digitales, a la izquierda se muestra un sensor solar fabricado y comercializado por la empresa sevillana Solar MEMS Technologies [4]. A la derecha se muestra la fotografía al microscopio de otro sensor solar [13] en el que se diferencian varias zonas:

- APS: compuesta por la matriz de píxeles y circuitería analógica.
- ADC: Convertidor analógico digital.
- Digital Processing: Circuitería digital encargada del procesado de los datos que proporciona el ADC.

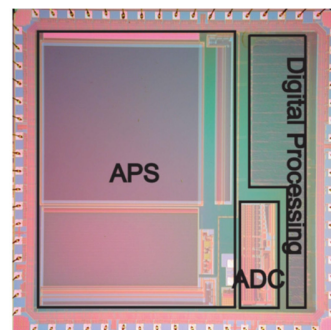


Figura 5. Izquierda: Equipo con sensor solar digital fabricado por Solar MEMS Technologies (Sevilla). Derecha: Fotografía al microscopio de un sensor solar digital de N. Xie y Albert J.P. Theuweissen [13].

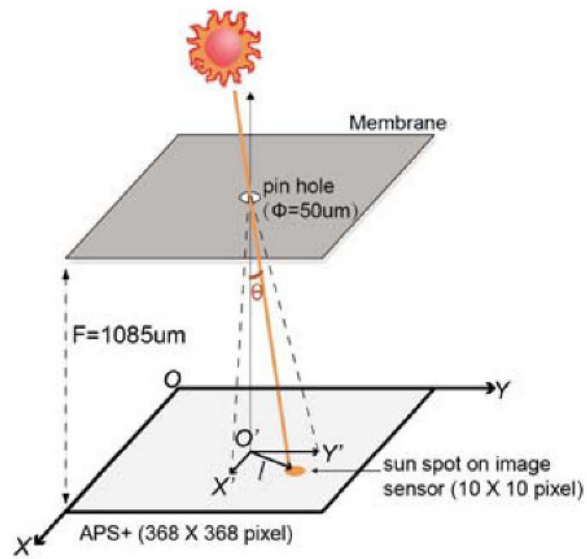


Figura 6. Esquema del sistema del sensor solar digital de N. Xie y Albert J.P. Theuweissen [13].

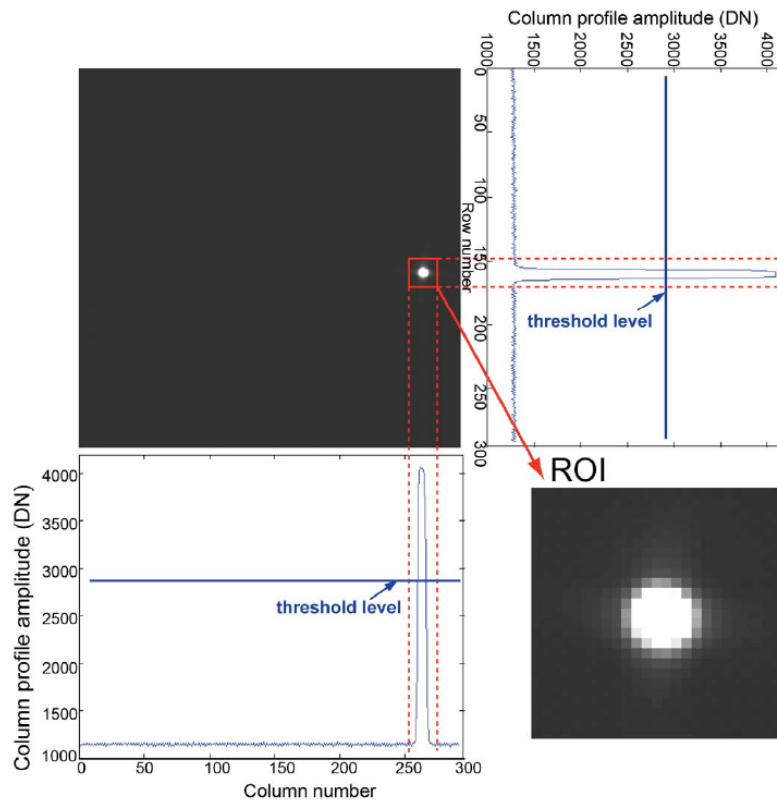


Figura 7. Determinación del centroide de la región iluminada del sensor digital de N. Xie y Albert J.P. Theuweissen [13].

1.3.3. Sensores de imagen

Para entender cómo funciona un sensor solar digital, es necesario explicar cómo funcionan los sensores de imagen basados en *frames*.

El sensor de imagen es un dispositivo de estado sólido cuyo propósito es siempre el mismo; convertir la luz incidente (fotones) en una señal eléctrica que se pueda ver, analizar y/o almacenar.

En la Figura 8 se muestra la configuración básica de un sensor de imagen basado en *frames*: está compuesto por el área sensora (*Image area*) sobre la cual se enfocan las imágenes que son convertidas en señales eléctricas a la salida. Esta área sensora es una superficie plana compuesta de una matriz de píxeles, su celda unitaria. Cada píxel posee un fotodiodo que absorbe la luz incidente y genera una señal eléctrica que depende de la intensidad de la luz, por tanto, si cada píxel genera una señal proporcional a la intensidad local, si extraemos la información de todos los píxeles y formamos una matriz que respete el orden original habremos sido capaces de reconstruir la imagen que fue proyectada sobre el sensor.

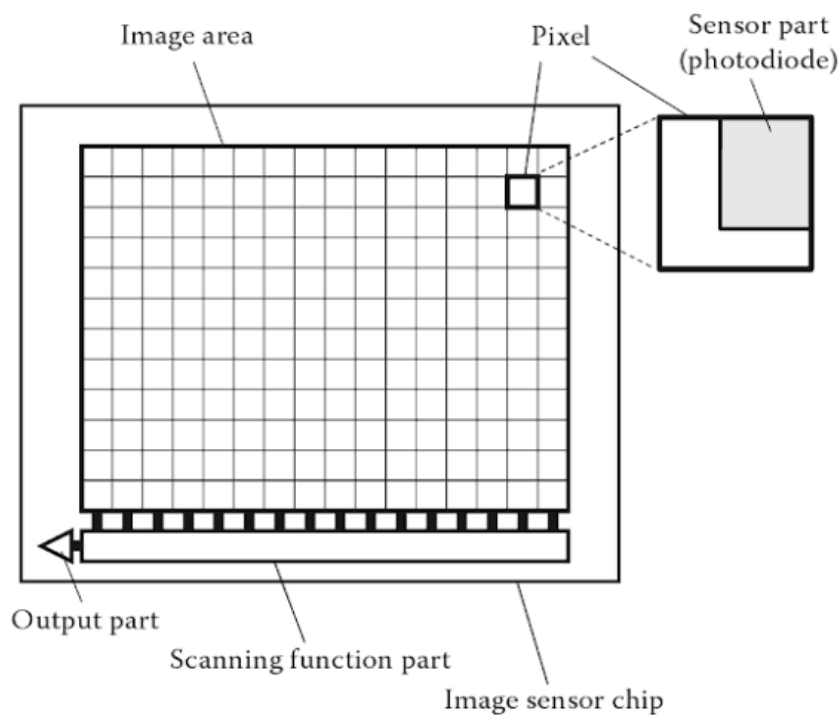


Figura 8. Configuración básica de un sensor de imagen.

En la Figura 9(b) se muestra una región ampliada de la imagen que aparece en Figura 9(a) y la misma imagen generada por un sensor de imagen (Figura 9(c)). En la imagen proporcionada por el sensor, cada rectángulo tiene un nivel de intensidad que viene dado por el nivel de señal a la salida del píxel que a su vez depende de la intensidad de la luz incidente $S(x_i, y_j)$ localizada en la región del píxel de coordenadas (x_i, y_j) .

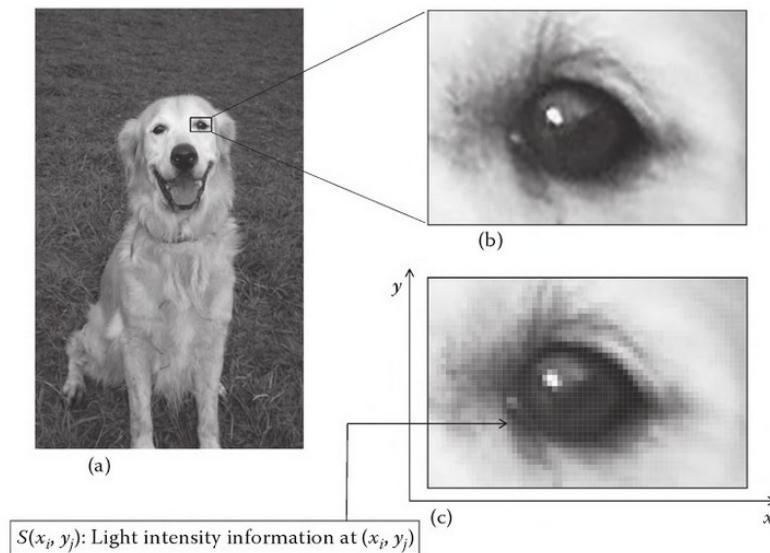


Figura 9. Imagen óptica e imagen obtenida con un sensor de imagen: (a) Imagen óptica; (b) ampliación de la imagen óptica; (c) imagen obtenida con un sensor.

En la Figura 10 se muestra un esquema del proceso de conversión de la imagen óptica a la imagen proporcionada por el sensor. La imagen óptica es una función continua que tiene un valor para el todo el conjunto de puntos (x, y) contenidos en el plano. La imagen que proporciona el sensor es una señal continua que tiene un valor para cada píxel de la matriz, esto quiere decir que las coordenadas han pasado de un régimen analógico continuo a un régimen discreto en lo que se conoce como digitalización de las coordenadas. Este proceso de digitalización es un muestreo espacial de la imagen óptica que implica pérdida de información. Cuanto mayor sea el número de píxeles mayores serán la frecuencia y resolución espaciales para un misma área sensora.

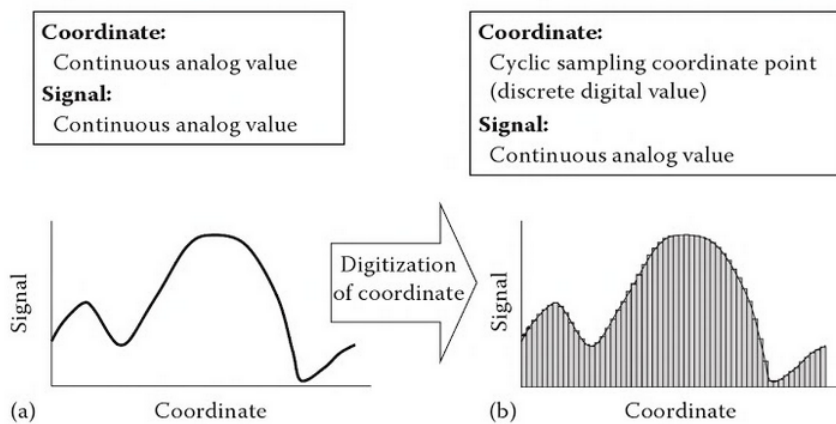


Figura 10. Digitalización de coordenadas: (a) coordenadas espaciales de una imagen óptica; (b) coordenadas espaciales en un sensor de imagen.

Un sensor de imagen proporciona información sobre la intensidad de la luz incidente para cada elemento de la matriz de píxeles y está compuesto de 3 elementos básicos:

1. Una parte sensora (sensor part) que genera carga y la almacena

Medición del número de fotones, es decir, la intensidad de la luz que incide sobre cada elemento de la matriz⁴. Esto se hace en dos pasos: primero los fotones que llegan a cada píxel se absorben y generan carga (efecto fotoeléctrico) y luego esa carga se integra y se almacena.

2. Una parte para identificar cada señal con su coordenada de origen (scanning part).

La correspondencia X-Y se puede hacer con un registro de desplazamiento o un descodificador.

3. Una parte que mida la carga almacenada y la convierta en una señal eléctrica (Charge quantity measuring part).

Esta señal puede ser voltaje, corriente, frecuencia o la anchura de un pulso.

Name of elements	1. Sensor part	2. Scanning part	3. Charge quantity measuring part
Function	Generation and storage of signal charges according to light intensity (light intensity information)	Addressing (identification of pixel address) (space information)	Measurement of signal charge quantity and conversion to electrical signals
Means	• Photoelectric conversion	• Charge transfer • X-Y addressing by shift register or decoder	• Charge-voltage conversion • Current-voltage conversion • Charge-frequency conversion • Charge-pulse width conversion

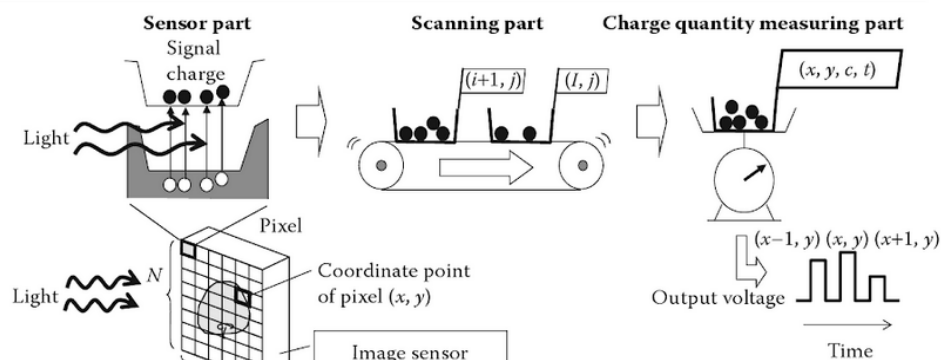


Figura 11. Elementos funcionales de un sensor de imagen.

Los elementos mencionados aparecen junto con su función y significado en la tabla de la Figura 11, [6].

⁴ Es posible contar el número de fotones directamente sólo en el caso de que la intensidad lumínica tenga un nivel muy bajo y cada fotón llega en un intervalo de tiempo suficientemente grande.

1.3.4. Unión pn, región de deplexión y efecto fotoeléctrico

El sensado de la luz en los semiconductores tiene lugar en las estructuras fotoactivas (fotodiodo) capaces de absorber la energía de los fotones incidentes y transformarla en una fotocorriente por mediación del efecto fotoeléctrico. En la Figura 12 se muestra un modelo simplificado de un fotodiodo, este consiste es una unión PN. En las inmediaciones de dicha unión, la carga móvil se difunde creando un volumen desprovisto de carga móvil conocido como región de deplexión. Esta redistribución de la carga genera un campo eléctrico que ejerce una fuerza sobre los portadores en la dirección contraria a la de difusión. El estado de equilibrio se alcanza cuando la fuerza por difusión igual a la fuerza del campo eléctrico.

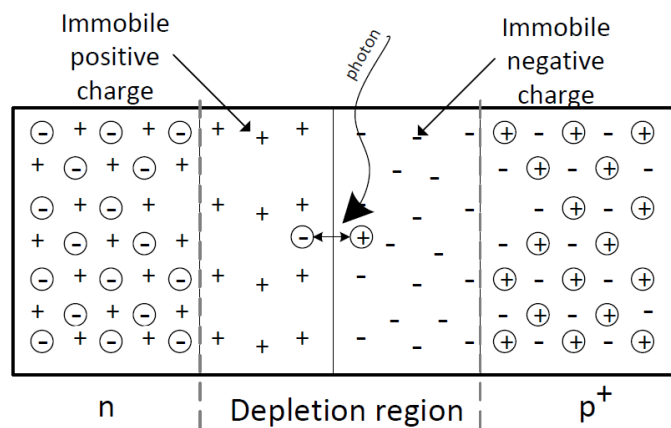


Figura 12. Modelo simplificado de un fotodiodo y la región de deplexión.

Un fotón provisto de la energía suficiente puede excitar a un electrón y promocionarlo desde la banda de valencia a la banda de conducción formando un par electrón-hueco. La energía de un fotón viene descrita por la siguiente expresión:

$$E = hc/\lambda \quad (1.3)$$

Donde h es la constante de Planck, c es la velocidad de la luz en el vacío y λ , es la longitud de onda. La energía necesaria para promocionar un electrón a la banda de conducción es igual a $1.1eV$ conocida como la energía de *band gap* del silicio. De la expresión 1.3 podemos encontrar la longitud de onda máxima de interacción con el silicio $\lambda_{max} = 1125nm$, esto quiere decir que el silicio es transparente para longitudes onda mayores.

La carga generada de esta manera se recombinaría de manera inmediata en un trozo de silicio ordinario pero el campo eléctrico que existe en la región de deplexión ejerce una fuerza sobre la carga,

separándola y dando lugar a una corriente en inversa conocida como fotocorriente. El fotodiodo se puede modelar como una fuente de corriente proporcional a la intensidad de la luz incidente.

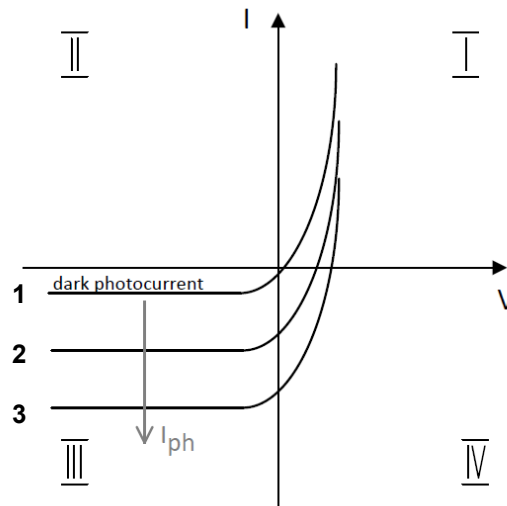


Figura 13. Característica i-v de un fotodiodo.

La Figura 13 muestra la característica i-v del fotodiodo para 3 valores de intensidad de la luz. El fotodiodo funciona, en general, en el cuadrante III, en esa región se comporta como una fuente de corriente estable. La primera curva modeliza al fotodiodo en ausencia de luz, a pesar de que no se genera carga por efecto fotoeléctrico a través del fotodiodo pasa una pequeña corriente en inversa conocida como corriente oscura, dicha corriente oscura es considerada como ruido ya que limita la mínima fotocorriente que se puede detectar. La corriente oscura en los fotodiodos toma valores relativamente bajos. Es importante mencionar que el número de electrones que contribuyen a la fotocorriente es siempre menor que el número de fotones incidentes, la medida de la eficiencia de la conversión de fotones en electrones es conocida como la eficiencia cuántica, QE_{λ} que se puede expresar de la siguiente manera:

$$QE_{\lambda} = \frac{N_e}{N_{\nu}} \quad (1.4)$$

Donde N_e es el número de electrones producidos y N_{ν} , el número de fotones incidentes [7]. Idealmente si cada fotón incidente generase un electrón entonces este cociente sería 1, de la misma forma que valdría 0 si ningún fotón generase electrón alguno.

1.3.5. Sistemas de visión neuro mórficos [9]

Los sistemas de visión neuro mórficos tratan de imitar el comportamiento de la retina humana, parte accesible del cerebro y cuyo funcionamiento ha sido ampliamente estudiado y es bien conocido⁵. La visión neuro mórfica consiste, básicamente, en detectar contrastes espaciotemporales.

Los sensores de visión convencionales basados en *frames* funcionan transmitiendo matrices de dos dimensiones cuyos elementos contienen información sobre la escena visual. Todos los píxeles tienen que ser leídos para reconstruir un *frame*. Los *frames* se transmiten de manera síncrona, incluso si no hay cambios en la escena visual. El flujo de datos de salida puede ser muy alto si los *frames* tienen una resolución alta. Esto implica que los datos pueden llegar a ser altamente redundantes si la imagen es estática, además la detección síncrona limita la velocidad para detectar cambios. La carga se integra durante el tiempo de exposición y luego se necesita algo de tiempo para generar un *frame*, durante ese tiempo los cambios en la escena visual no pueden ser detectados.

La detección asíncrona basada en eventos se basa en un procesamiento de tipo retina. La detección es asíncrona y los píxeles pueden enviar información en cualquier instante. Dicha información es enviada en forma de pulsos que indican que se ha detectado información relevante (un contraste espaciotemporal). Los sensores basados en eventos transmiten las coordenadas (x, y) del píxel que ha emitido el pulso. Los píxeles que no detecten ninguna información relevante no emiten pulso ahorrando de esta manera ancho de banda y consumo de potencia

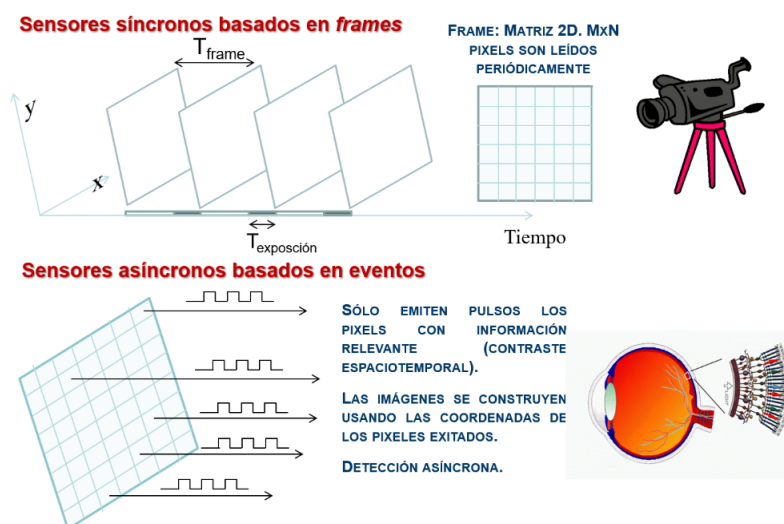


Figura 14. Principales diferencias entre sensores síncronos basados en frames y sensores asíncronos basados en eventos.

⁵ El gran científico español Santiago Ramón y Cajal fue uno de los primeros en llevar a cabo esta tarea

1.3.6. Protocolo de comunicación AER

Es necesario tener mecanismos que garanticen la arbitración de las colisiones que pueden producirse cuando dos o más píxeles autónomos tratan de transmitir información de forma simultánea. Para cubrir esta necesidad se puede hacer uso del conocido protocolo de comunicación AER [10].

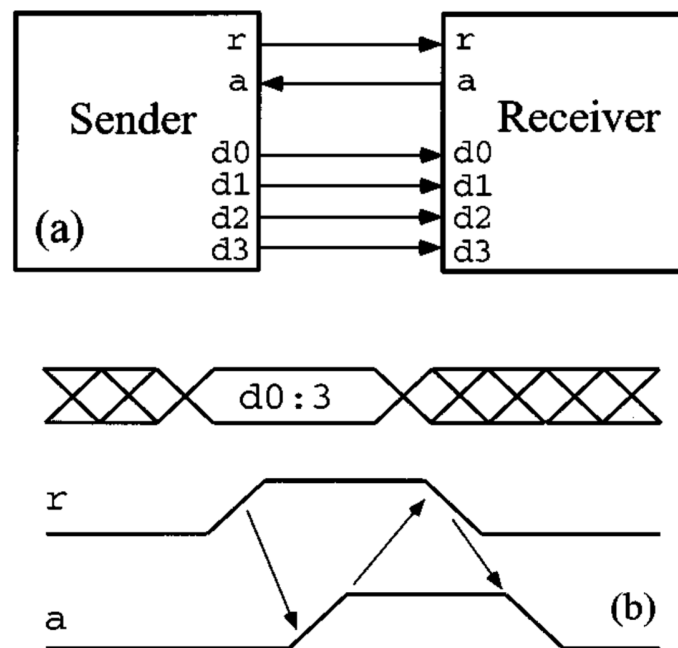


Figura 15. Señales del canal de comunicación y temporización. (a) bus de datos (d_0, \dots, d_3) y señales de establecimiento de comunicación (r, a). (b) Diagrama temporal.

En la Figura 15(a) aparecen dos elementos, el emisor (Sender) y el receptor (Receiver), también hay un bus de datos (d_0, \dots, d_3) y las señales de establecimiento de la comunicación⁶ r, a ⁷; abajo, en la Figura 15(b) se muestra la evolución temporal de las señales: el emisor inicia la secuencia cargando los datos en el bus y subiendo la señal r , el receptor los admite y sube la señal a cuando termina de leerlos. Las dos partes, emisor y receptor realizan secuencias complementarias de acciones y esperas.

⁶ En inglés se las denomina señales *handshake*, cuyo significado literal es apretón de manos.

⁷ r = request (solicitud), a = acknowledge (admisión)

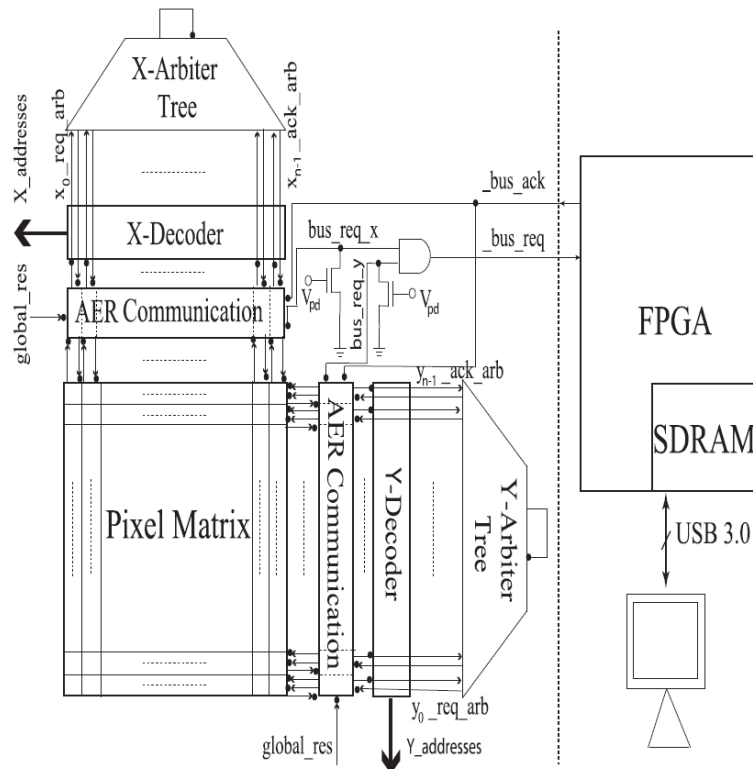


Figura 16. Diagrama de bloques del sistema. Principales bloques del sistema. El sensor se comunica con el exterior por medio de una FPGA.

En la Figura 16 hay un diagrama de bloques del sensor. En la posición central se encuentra la matriz de píxeles y en la periferia está la lógica asíncrona para la comunicación entre los píxeles (emisor) y la FPGA (receptor). Puesto que el bus de comunicación con el exterior es compartido, cuando dos o más neuronas (píxeles) soliciten enviar su localización de manera simultánea, habrá colisiones que serán resueltas por medio de unos bloques llamados arbitradores [11] diseñados específicamente para resolver este tipo de situaciones. El arbitrador usado en este diseño otorga siempre la misma prioridad a sus entradas cuando todas están activas y sólo una de las peticiones tendrá acceso al bus compartido, lo que significa que sólo un píxel podrá enviar su dirección a la FPGA. Este proceso de arbitración se lleva a cabo en dos pasos: primero se arbitran las peticiones de las filas y luego se arbitran las peticiones de las columnas. Al final sólo una fila y una columna tendrán acceso al bus compartido, es decir, un solo píxel podrá comunicar sus coordenadas con el receptor.

II. ESTADO DEL ARTE

Con este trabajo abarcamos el diseño de sensores solares más eficientes basados en eventos que trabajan de forma asíncrona.

Un sensor con píxeles activos (APS) se define como un sensor con uno o varios transistores activos situados en cada píxel, estos transistores pueden proporcionar ganancia o suministrar potencia a la señal. En la Figura 17 se muestra un ejemplo de dispositivo APS lateral⁸. En este dispositivo, la carga generada por los fotones incidentes, se integra debajo de la conocida como foto puerta, PG⁹. Antes de la lectura, se reinicia el nudo de la difusión flotante¹⁰ usando el transistor de reinicio, R, que hay dentro del píxel. Para la lectura, se activa el transistor de selección, S, conectando así el seguidor por fuente al bus de columna. En la Figura 18 se muestra el plano o layout del mismo píxel donde se pueden identificar los distintos dispositivos y sus terminales.[12]

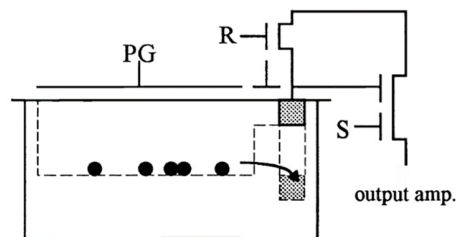


Figura 17. Esquemático de un píxel APS compatible con la tecnología CMOS.

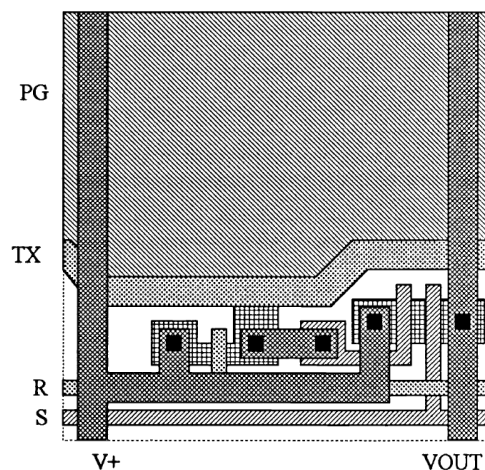


Figura 18. Layout de un píxel APS compatible con la tecnología CMOS.

⁸ Una estructura APS lateral se define como aquella que tiene una parte del área del píxel destinada a la detección de fotones y almacenamiento de la señal y otra para los transistores activos (pueden ser uno o varios).

⁹ PG son las siglas del inglés Photo-Gate.

¹⁰ Del inglés *floating diffusion*.

Las principales ventajas de los sensores APS son su fiabilidad y robustez frente a perturbaciones provenientes de fuentes de luz externas y que, en principio, cualquier sensor de imagen convencional de este tipo se puede adaptar para funcionar como sensor solar.

Entre sus limitaciones encontramos que la matriz entera se escanea de forma periódica (información redundante) y presenta un alto consumo de potencia además de que los tiempos de exposición deben adaptarse en función de las condiciones de iluminación. Los píxeles oscuros, presentes en esta tecnología, no son útiles para esta aplicación.

Fruto del estudio y la investigación se han desarrollado técnicas para evitar la redundancia de datos en este tipo de sensores [13]. Para ello los niveles de iluminación se han de leer en dos pasos, en primer lugar, se hace una lectura grosera para determinar la ROI¹¹ y a continuación se lee con precisión esa zona. En la Figura 19 se muestra el esquema de un sensor digital donde se trata de explicar cómo se determina la ROI a través de un sistema que analiza el perfil de filas y columnas.

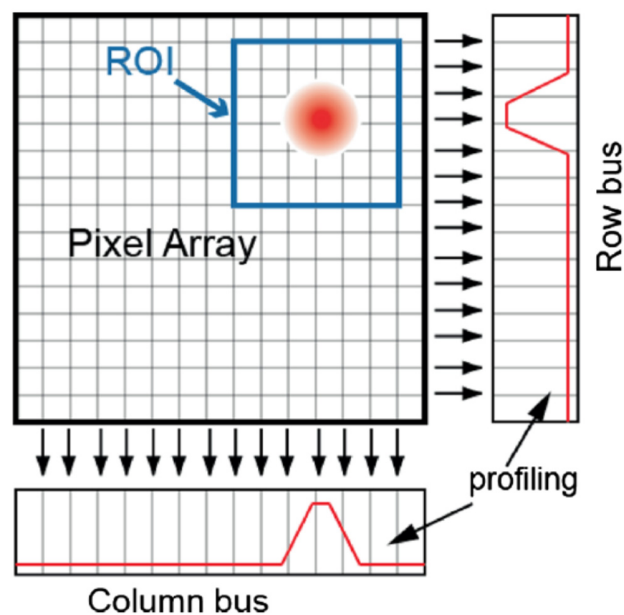


Figura 19. Esquema de la matriz de píxeles de un sensor digital (Xie & Theuwissen, 2010) donde aparece una ROI.

Pero esta técnica también presenta limitaciones dado que los píxeles oscuros se siguen leyendo, además la matriz se tiene que leer otra vez cuando la ROI cambie de posición, se debe fijar un tiempo de integración y se necesita circuitería especializada para la lectura.

11 ROI del inglés Region Of Interest, traducción literal región de interés. Una ROI es un subconjunto de píxeles de la matriz completa (ver Figura 19).

2.1. SENSORES SOLARES BASADOS EN EVENTOS

Existen otro tipo de sensores optimizados para realizar tareas en las que sólo hay que extraer y gestionar información de un subconjunto de píxeles: los sensores basados en eventos.

Los sensores de visión basados en eventos están formados por píxeles que se leen de forma asíncrona, esto quiere decir que los píxeles envían eventos sólo cuando tienen información que transmitir (ver sección 1.3.5). Por lo tanto, no es necesaria una lectura de la matriz completa para sacar imagen. Esta manera de operar implica una reducción drástica en el flujo de datos de salida y un funcionamiento más rápido. Dentro de la familia de los sensores basados en eventos están los sensores de luminancia, también conocidos como retinas de pulpo¹², son sensores cuyos píxeles envían eventos con una frecuencia proporcional al nivel de iluminación y esto les hace especialmente adecuados para el diseño de sensores solares más eficientes. En la figura Figura 20 se muestran fotografías de dos prototipos de sensor solar basado en eventos [7], [17].

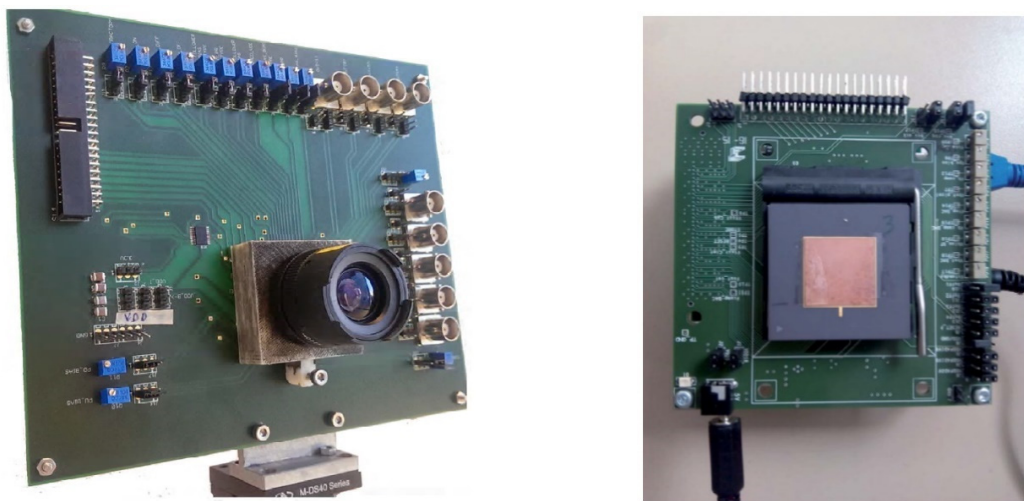


Figura 20. Fotografías de dos sensores solares basados en eventos (prototipos).

Este tipo de sensores superan algunas de las limitaciones de los sensores previamente citados, como pueden ser la redundancia de datos y tiempo de procesamiento dado que sólo los píxeles situados en la ROI enviarán información fuera del chip.

¹² Del inglés *Octopus Retinas*.

2.2. DESCRIPCIÓN DEL SISTEMA

Este trabajo se centra en el diseño de un píxel APS desarrollado en la tecnología UMC 0.18 (CMOS) para un sensor solar basado en eventos y que implementa el protocolo AER de comunicación: el emisor es el sensor de imagen y el receptor es una FPGA¹³ o matriz de puertas programables. Cada vez que un píxel emite un pulso (de manera asíncrona) el sensor solicita acceso para compartir la información del bus AER y entonces las coordenadas del píxel son enviadas a través del bus. El receptor almacena la dirección del píxel que ha emitido el pulso e indica que ha recibido la información; luego desaparecen las coordenadas del píxel del bus compartido, dejándolo disponible para el próximo evento.

Sobre el sensor se coloca una cubierta con un pequeño orificio en el centro y una óptica especial tal y como se muestra en la Figura 21, de tal manera que cuando tengamos el sensor debidamente orientado se proyectará el disco solar se sobre un reducido número de píxeles y sólo estos píxeles enviarán eventos fuera del chip evitando así la lectura de la matriz completa reduciendo el tiempo de cómputo y el consumo de potencia. Esto significa que los píxeles van a operar de manera asíncrona y muy rápido (en milisegundos), ofreciendo una buena resolución y un amplio rango dinámico. Este nuevo sensor reúne ventajas tanto de los sensores analógicos como de los digitales y supera algunas de sus limitaciones, como pueden ser redundancia de los datos, la baja velocidad de operación y un reducido rango dinámico.

El sistema es similar al ideado por Xie and Theuwissen [13] o la Agencia Espacial Europea [17] Con esta construcción, como ya hemos dicho, sólo unos pocos píxeles serán iluminados por la proyección del disco solar, mientras que el resto de los píxeles serán relativamente oscuros y no enviarán información. En función de la posición del sol, la proyección del disco solar sobre la matriz de píxeles estará localizada en un lugar diferente.

¹³ Del inglés Field-Programmable Gate Array.

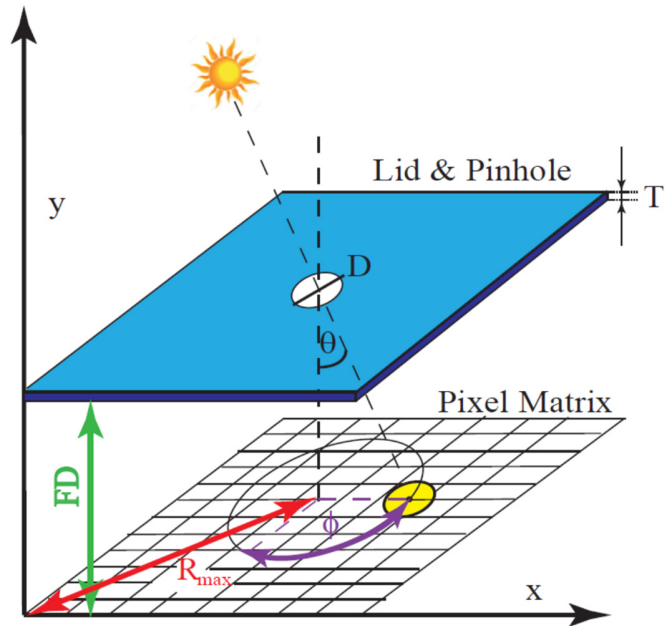


Figura 21. Implementación del sistema formado por la matriz de píxeles y la cubierta con el orificio. $D = 100\mu\text{m}$, $FD = 600\mu\text{m}$, $T = 500\mu\text{m}$.

El centroide del grupo de píxeles iluminados, (x, y) , será utilizado para calcular la posición del sol (θ, ϕ) que viene determinada por la latitud solar, θ , y el azimut, ϕ . La latitud viene dada por:

$$\theta = \tan^{-1} \left(\frac{\sqrt{W(x - x_c)^2 + L(y - y_c)^2}}{DF} \right) \quad (1.5)$$

Donde (x_c, y_c) es el centroide de la ROI cuando $\theta = 0^\circ$. W y L son la anchura y longitud del píxel, respectivamente y FD es la distancia focal, es decir, la distancia que hay entre el sensor y la cubierta perforada. El azimut, ϕ , viene dado por:

$$\phi = \tan^{-1} \left[\frac{L(y - y_c)}{W(x - x_c)} \right] \quad (1.6)$$

Conociendo el valor de estos parámetros y el número de píxeles es posible determinar el campo de visión (FOV¹⁴) del sensor. Llamaremos R_{max} a la máxima distancia comprendida entre el centro de la matriz y una de sus esquinas, aplicando el archiconocido teorema de Pitágoras:

¹⁴ FOV son las siglas del inglés *Field of View*.

$$R_{max} = \frac{1}{2} \sqrt{(WM)^2 + (LN)^2} \quad (1.7)$$

Donde M es el número de filas de píxeles y N el número de columnas. El ángulo de incidencia máximo será:

$$\theta_{max} = \tan^{-1} \left(\frac{R_{max}}{FD} \right) \quad (1.8)$$

Y el campo de visión será:

$$FOV = 2\theta_{max} = 2 \tan^{-1} \left(\frac{R_{max}}{FD} \right) \quad (1.9)$$

Según las ecuaciones 1.8 y 1.9, para aumentar el campo de visión se debe disminuir la distancia focal y se puede aumentar la resolución del sensor disminuyendo las dimensiones del píxel. En nuestro caso, las dimensiones del píxel son $W = L = 21\mu m$ y el número de filas y columnas son $N = M = 128$. Para aumentar el FOV, se procurará situar la cubierta perforada lo más próxima posible al sensor. En trabajos previos [18] se consiguieron una distancia focal $FD = 0.6mm$, y un campo de visión $FOV = 146^\circ$.

III. DISEÑO DEL PÍXEL

El píxel que vamos a diseñar forma parte un sensor solar con operación TFS (Time-to-first spike). En este modo de operación comienza con una señal de reseteo global, después de la cual los píxeles podrán emitir como mucho un pulso en caso de que detecten información relevante de tal manera que los píxeles que tengan la información más relevante emitirán primero el pulso. En el caso de los sensores solares, emitirá primero el píxel que genere más fotocorriente. El modo de operación TFS proporciona un flujo de datos reducido en comparación con los convencionales sensores basados en *frames* [15]. En la Figura 24 se muestra un diagrama temporal de un hipotético sistema que opera en modo TFS formado por 4 elementos (n1, n2, n3, n4) que emiten un pulso frente a un estímulo dado, el primero en emitir un pulso, n2, es el que contiene la información más relevante [16].

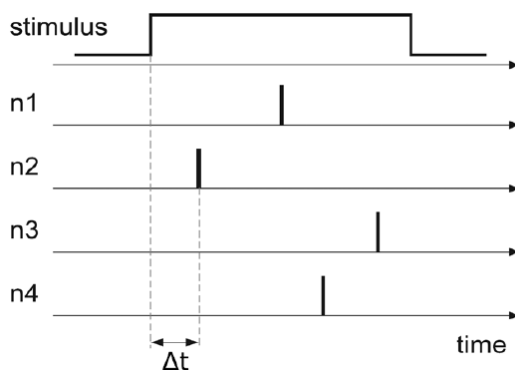


Figura 22. Diagrama temporal de un sistema operando en modo TFS.

Este píxel ideado para operar a alta velocidad con muy poco consumo de potencia y ancho de banda. En concreto, este sensor proporcionará información sobre la posición del sol a los sistemas de control de actitud en pequeños satélites. Los resultados de las simulaciones muestran una clara ventaja en términos de velocidad, ancho de banda y consumo de potencia en el estado del arte.

3.1. ARQUITECTURA Y MODOS DE OPERACIÓN

La arquitectura del píxel [13] se muestra en la Figura 23, en ella se pueden distinguir tres módulos diferentes

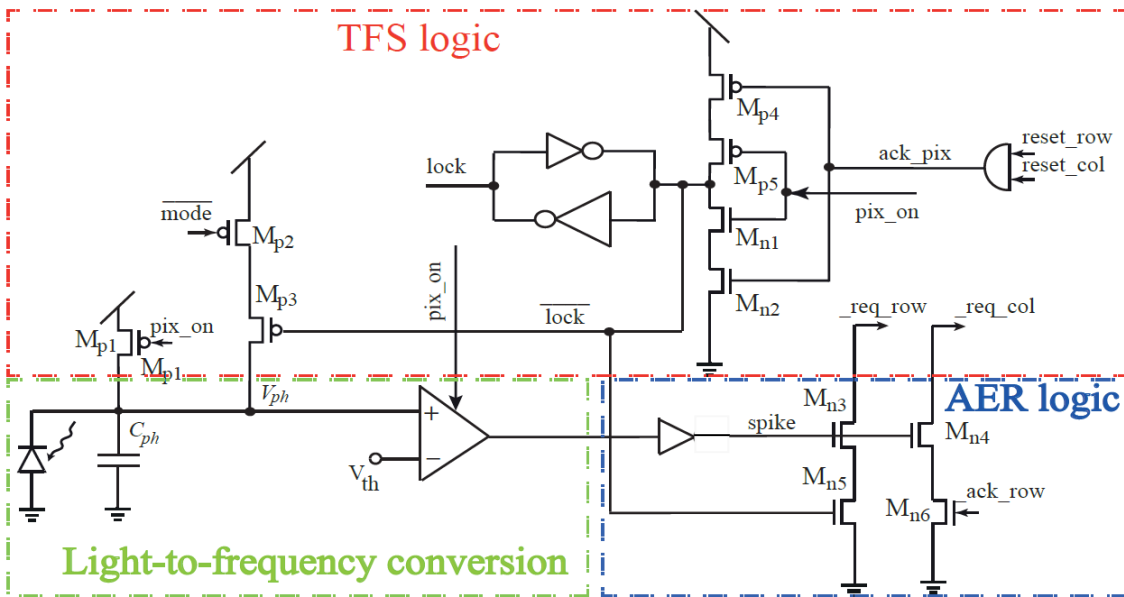


Figura 23. Esquemático del píxel. Dimensiones de los transistores. Dimensiones de los transistores (W/L , $\mu\text{m}/\mu\text{m}$): $M_{p1}=M_{p2}=M_{p3}=3/0.36$, $M_{p4}=M_{p5}=6/0.36$, $M_{n1}=M_{n2}=2/0.36$, $M_{n3}=M_{n4}=M_{n5}=M_{n6}=0.6/0.36$.

El primero de ellos (conversión luz/frecuencia) realiza la conversión de luz en frecuencia, generando un pulso cuando la carga almacenada en la capacidad es tal que activa la salida del comparador. El segundo bloque (lógica TFS) se encarga de devolver a su estado original al primer módulo una vez que las coordenadas del píxel se enviaron fuera del chip. El último bloque está compuesto por cierta lógica específica tal que implementa el protocolo de comunicación AER. [18]

Los píxeles envían los pulsos con una frecuencia que es proporcional a la iluminación:

$$f_{osc} \cong \frac{I_{ph}}{C_{ph}(VDD - V_{th})} = \frac{I_{ph}}{C_{ph}(\Delta V)} \quad (1.10)$$

Donde I_{ph} es la fotocorriente, C_{ph} la capacidad del fotodiodo, VDD el nivel de tensión de la alimentación y V_{th} la tensión umbral de comparador.

La señal **mode** permite tener dos modos de operación en combinación con TFS. Dichos modos se describen a continuación.

A. Modo de operación de reinicio rápido

En este modo de operación viene la señal de control **mode** está a nivel bajo cerrando. Cuando el píxel emite un pulso y envía el evento fuera del chip, este se auto reinicia preparándose así para la próxima lectura. Este modo de operación es adecuado para un rastreo rápido de la posición del sol. Las cantidades de tiempo y corriente necesarios para reiniciar la capacidad de integración entre diferentes medidas de luz son muy pequeñas. En la ecuación (1.10), se satisface que $\Delta V \leq V_{DD} - V_{th}$ para todos los píxeles. Por lo tanto, se ahorra en el consumo de potencia asociado al reinicio de la capacidad de integración. El funcionamiento del sensor es más rápido porque los píxeles dejan de integrar carga una vez que la tensión en la capacidad de integración alcanza la tensión umbral V_{th} .

B. Modo de operación de ahorro-energético

Este modo de operación se habilita subiendo la señal de control **mode** y está pensado para abordar aquellas situaciones en las que no es necesario un rastreo rápido de la posición del sol o para activar un modo *standby* después de tomar una medida. Por lo tanto, el intervalo de tiempo esperado entre dos medidas consecutivas es relativamente alto. En este caso, los píxeles envían el evento fuera del chip cuando se alcanza la tensión umbral en la capacidad de integración, pero a diferencia del modo anterior, el píxel no se auto reinicia y continúa integrando carga hasta que la capacidad queda descargada por completo. La ventaja de este modo es la reducción del consumo de potencia debido a la corriente oscura por mantener la tensión entre el cátodo y el ánodo del fotodiodo, V_r , cercana a cero [18], es decir, $\Delta V \approx V_{DD}$ en la ecuación (1.10).

La corriente oscura, I_{oscura} , se puede expresar como, [20]:

$$I_{oscura} = \frac{A_j \cdot q \cdot n_i \cdot W(V_r)}{2\tau_o} \quad (1.11)$$

Esta depende el tiempo de vida efectivo de los portadores minoritarios, τ_o , que a su vez tiene una dependencia fuerte con la temperatura; la anchura de la región de deplexión, W ; el dopado n_i ; y del área efectiva de influencia de la luz incidente, A_j . Al no disponer de los parámetros tecnológicos por parte de la fábrica no se pueden realizar simulaciones para estimar su impacto. Sin embargo, es importante destacar que la corriente oscura tiene una fuerte dependencia con la anchura de la región de deplexión, W , que aumenta con la tensión aplicada de polarización inversa, V_r . Por tanto, manteniendo esta tensión cercana a cero se minimiza el impacto de la corriente oscura en el consumo total de potencia.

Los puntos en contra de este modo de operación son los siguientes:

- 1) Se necesita más tiempo para reestablecer las capacidades de integración de los píxeles después de reiniciar la operación del píxel.

2) Aumenta el consumo de potencia asociado a la carga completa de la capacidad de integración. Por lo tanto, este modo puede ser útil en situaciones en las que el sensor permanece inactivo durante largos periodos de tiempo.

3.1.1. SIMULACIONES ELÉCTRICAS

Para verificar que el diseño cumple su cometido es necesario comprobar su funcionamiento mediante simulaciones eléctricas. Para ello se ha empleado el software especializado de CADENCE.

Para la construcción del píxel se han diseñado y verificado mediante simulaciones los siguientes bloques:

- Integrador de carga.
- Dos inversores típicos CMOS, donde uno de ellos es más rápido.
- Puertas lógicas NOR y NAND.
- Un comparador de 2 etapas.

Además de los bloques mencionados, el fotodiodo, como caso especial, se ha modelado como una fuente de corriente en paralelo con un condensador de capacidad $c_j \sim 10fF$ (ver Figura 24) que representa la capacidad dominante de la unión PN de un diodo en inversa¹⁵.

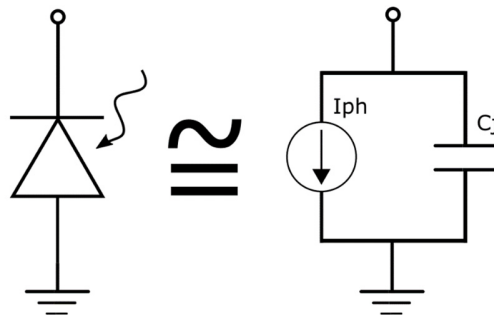


Figura 24. Para este diseño se ha modelado el fotodiodo como una fuente de corriente en paralelo con una capacidad.

3.1.1.1. Integrador de carga

Para nuestro diseño necesitamos integrar la carga que se genera en la región del fotodiodo, para ello usaremos un condensador “Metal-Insulator-Metal” o MiM (MIMCAPS_MM). Dichos condensadores formados por dos planos paralelos metálicos separados por un dieléctrico fino y de espesor controlado que le proporciona muy buenas características en cuanto a linealidad, dependencia con la temperatura y densidad de capacidad.

¹⁵ No hay disponibles modelos para el fotodiodo en esta tecnología.

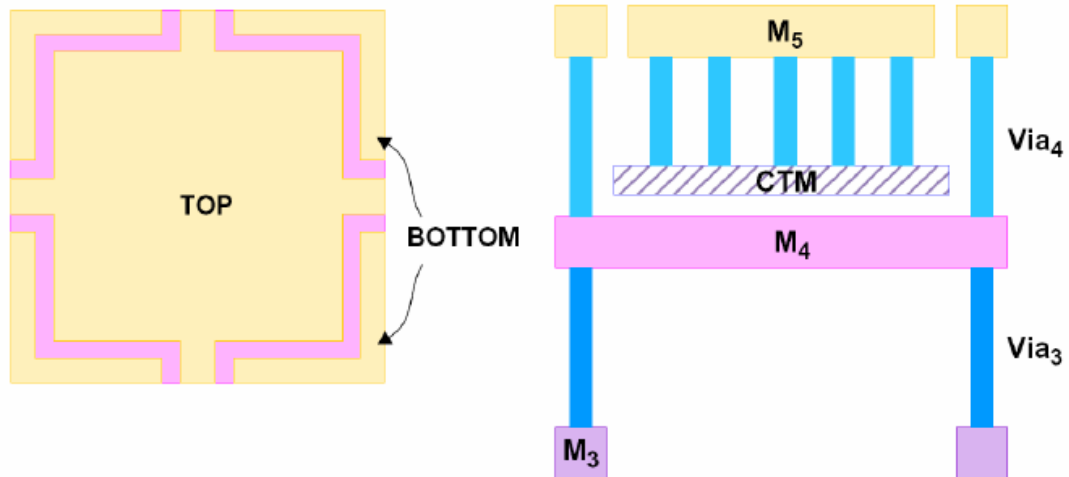


Figura 25. Esquema de un condensador tipo MiM. Vista superior (izquierda). Vista lateral (derecha).

En general, los condensadores MiM se implementan entre los dos niveles más altos de metal disponibles en la tecnología para reducir los parásitos, mejorando así la dinámica y evitando interferencias por acoplo al sustrato. En nuestro caso tenemos disponibles 6 niveles de metal así que el condensador se encuentra en los niveles 5 y 6. El área de los niveles de metal que queda debajo del condensador se aprovechan para introducir circuitería.

3.1.1.2. Inversores

Los bloques 'inversor 1' e 'inversor 2' poseen la típica arquitectura de inversor CMOS (ver Figura 26). El bloque 'inversor 1' tiene una relación de aspecto tal que $W/L(\text{inversor 1}) = 0.60\mu\text{m}/0.36\mu\text{m} = 1.67$, mientras que para 'inversor 2' tiene $W/L(\text{inversor 2}) = 3.0\mu\text{m}/0.36\mu\text{m} = 8.33$.

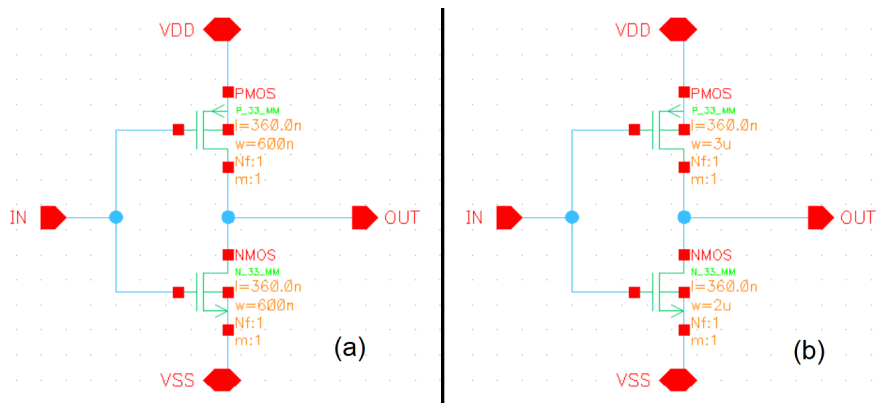


Figura 26. Esquemáticos de los bloques 'inversor 1' (a); 'inversor 2' (b).

Para caracterizar a los inversores hemos creado un banco de pruebas (Figura 27) para llevar a cabo una simulación en la que se excita a ambos con un tren de pulsos que tiene un periodo de 160ns y un tiempo de subida y bajada de 20ns. A la salida se le ha colocado una carga de 1pF a cada uno.

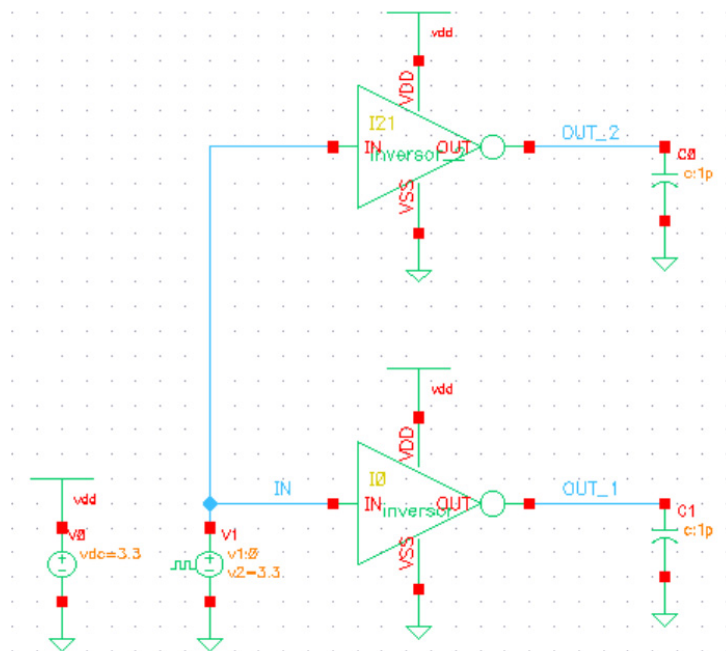


Figura 27. Banco de pruebas de los inversores 'inversor 1' e 'inversor 2'.

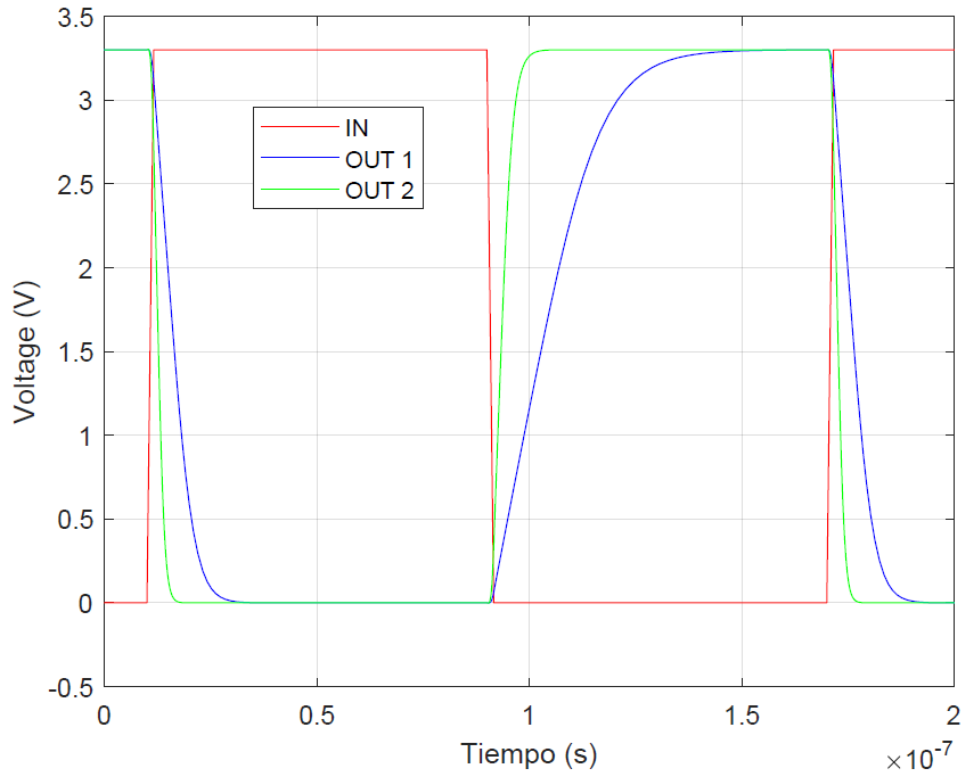


Figura 28. Evolución temporal (VTC) de las señales de entrada y salida de los inversores

En la Figura 28 están representadas las VTC¹⁶ de los inversores donde queda probado que funcionan como inversores. La salida de “inversor 2” evoluciona más rápido hacia el estacionario tanto a la bajada como a la subida. En concreto, es unas 3 veces más rápido que el otro. Esto se debe a que posee una mayor relación de aspecto, es más conductivo y logra cargar antes la capacidad a la salida. Esto último se ve más claramente en la Figura 29. El perfil de corriente del inversor 2 es más estrecho y mucho más alto.

¹⁶ VTC son las siglas en inglés *Voltage-Transfer Characteristic*.

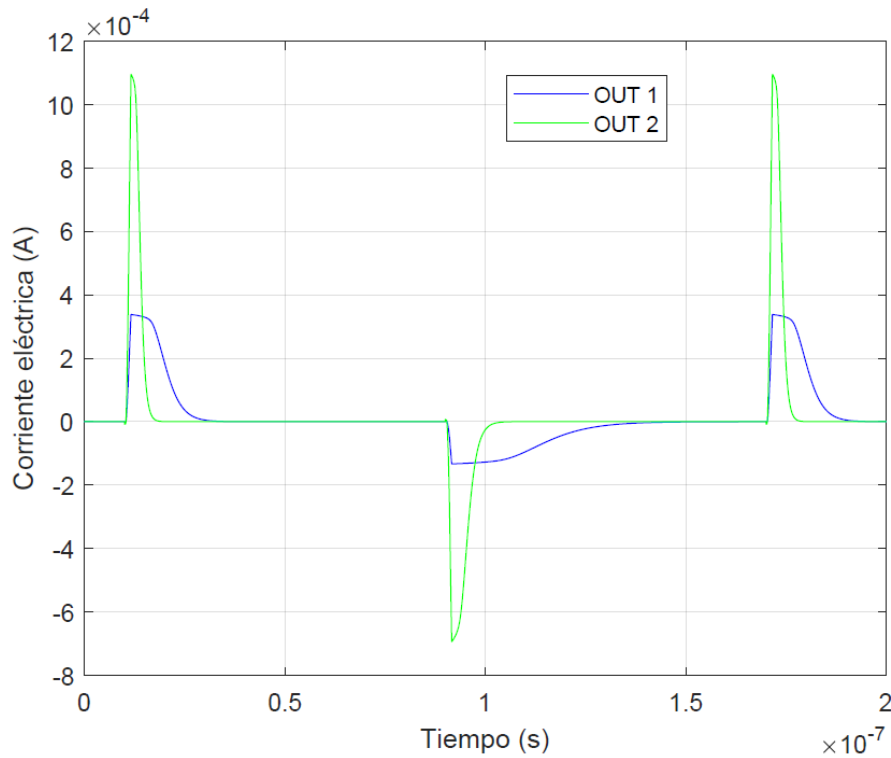


Figura 29. Perfiles de corriente a la salida de los inversores.

En la TABLA 1 están recogidos el valor de los tiempos de subida (t_s) y de bajada (t_b) para ambos inversores.

	t_b (ns)	t_s (ns)
Inversor 1	11.66	30.0
Inversor 2	4.31	6.68

TABLA 1. Tiempos de subida y bajada de los inversores 1 y 2.

Cabe decir que existen estrategias para emparejar ('matching') los transistores N y P [19] de tal forma que, teniendo ambos canales con la misma longitud (L), sus anchuras (W) satisfagan la relación:

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p} \quad (1.12)$$

Esto implica que $k'_n(W/L)_n = k'_p(W/L)_p$ y así el inversor tendría una VTC simétrica y una capacidad de conducción de carga igual en ambas direcciones (*pull-up* y *pull-down*). Pero esto requeriría un mayor consumo de área dado que el transistor P tendría que ser entre dos y cuatro veces más grande, dejando menos silicio disponible para los demás elementos del píxel.

3.1.1.3. Puerta NOR

Implementaremos la puerta NOR con una arquitectura típica (ver Figura 30).

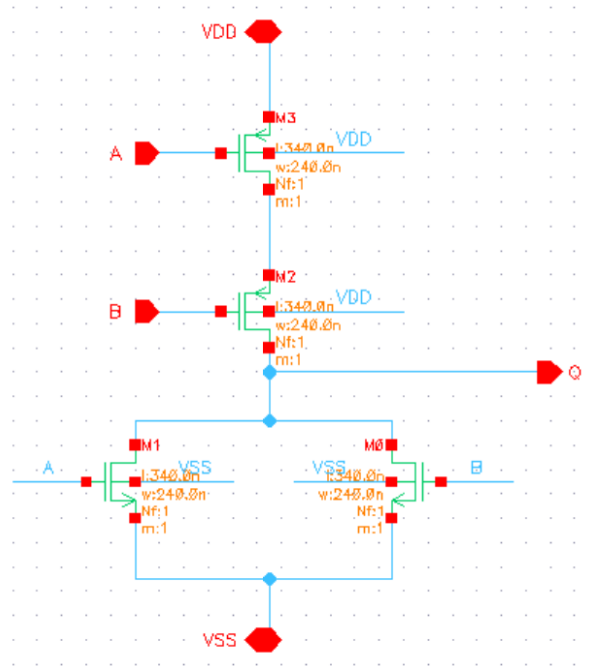


Figura 30. Esquemático de la puerta NOR.

Para probar su funcionamiento se ha diseñado un banco de pruebas simple para reproducir su tabla de verdad (TABLA 3)

TABLA 2. Tabla de verdad para una NOR.

A	B	OUT
0	0	1
1	0	0
0	1	0
1	1	0

La puerta NOR tiene a su salida un valor alto si y sólo si hay ambas entradas valen 0, es decir, cuando ni A ni B valen 1. Para las tres combinaciones restantes la salida vale 0.

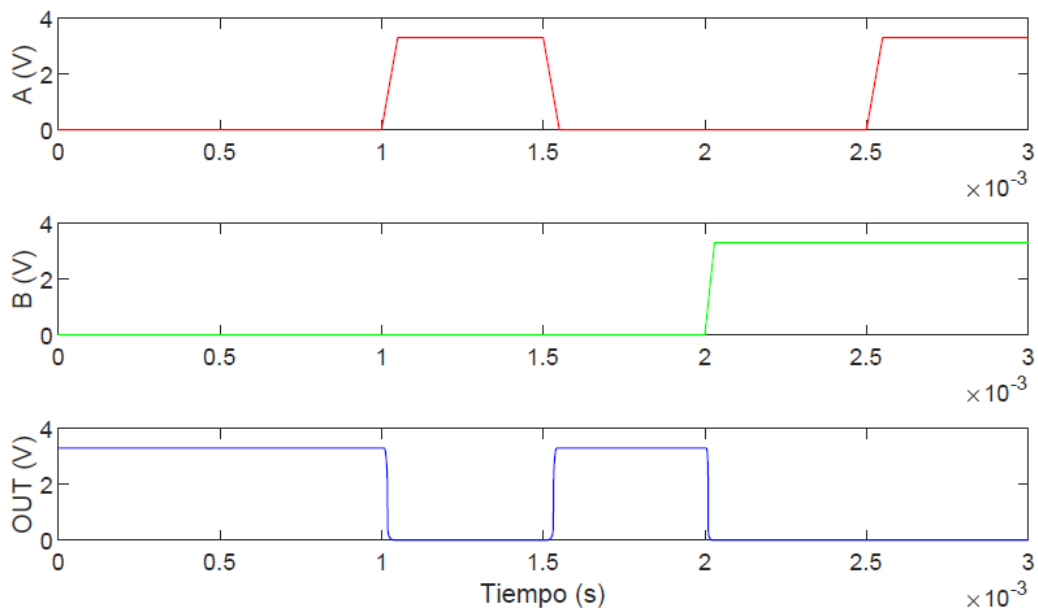


Figura 31. Tensión en las entradas A y B y en la salida OUT de la puerta NOR. Resultados obtenidos por simulación

La puerta NOR la utilizamos en la circuitería de la periferia (arbitrador y lógica de selección). Tal vez lo más interesante de esta puerta sea que se trata de una puerta universal, en el sentido de que cualquier otra puerta lógica se puede implementar como combinación de puertas NOR.

3.1.1.4. Puerta NAND

Se trata de una típica puerta NAND (ver Figura 32). Para comprobar su funcionamiento se ha diseñado un banco de pruebas tal que verifica su tabla de verdad (TABLA 3).

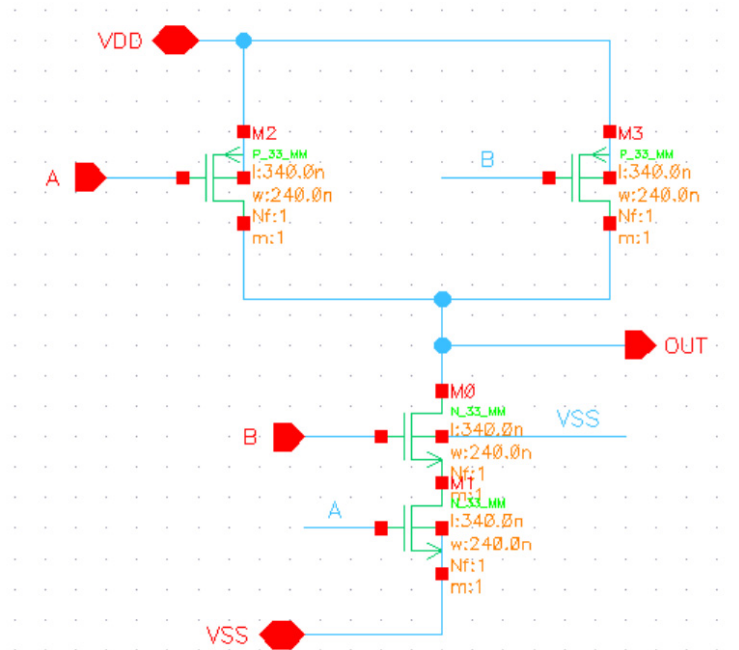


Figura 32. Esquemático de la puerta NAND.

La puerta NAND se puede entender como una AND negada, entonces sólo cuando ambas entradas están a nivel alto la salida vale 0. Para las restantes tres combinaciones, la salida vale 1.

TABLA 3. Tabla de verdad para una NAND.

A	B	OUT
0	0	1
1	0	1
0	1	1
1	1	0

En la Figura 33 están representadas las gráficas de las entradas A y B y la salida OUT obtenidas por simulación. Así queda comprobada la funcionalidad del bloque, tal y como indica su tabla de verdad, la puerta NAND tendrá siempre su salida en alto para todos los casos excepto en el que sus dos entradas están en alto, entonces su salida baja.

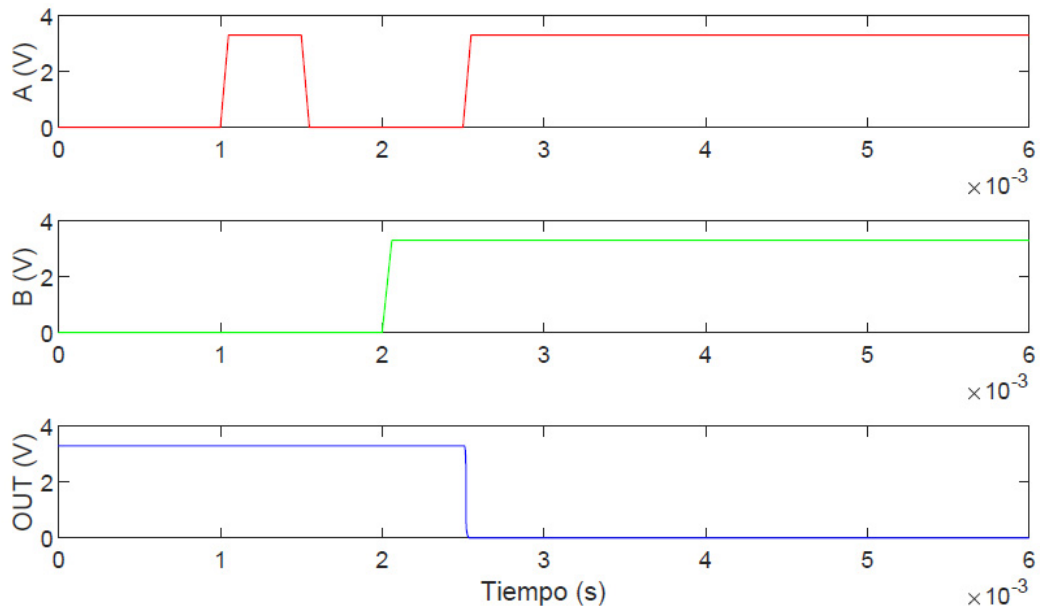


Figura 33. Tensión en las entradas A y B y en la salida OUT de la puerta NAND. Resultados obtenidos por simulación.

En el diseño del píxel se combina esta NAND con un inversor a su salida para tener una NAND negada que es una AND. Existen arquitecturas concretas para implementar una AND pero son poco robustas.

3.1.1.5. El flip-flop SR¹⁷

Se conoce como flip-flop SR (Set/Reset) a la conexión cruzada de dos puertas NOR tal y como se muestra en la Figura 34, el comportamiento a nivel de entradas y salidas es el que se muestra en la TABLA 4. A las entradas se le ha llamado S (de set) y R (de reset) y las salidas Q y \bar{Q} , así le damos énfasis a su complementariedad, Q y \bar{Q} siempre serán opuestos, cuando una de ellas vale 1 la otra vale 0. Se considera que el flip-flop está en el estado set, es decir, almacenando un 1, cuando Q está a nivel alto y \bar{Q} a nivel bajo. Cuando el flip-flop está en el otro estado (Q baja, \bar{Q} alta), se considera que el flip-flop se encuentra en el estado de reset, lo que quiere decir que almacena un 0.[19]

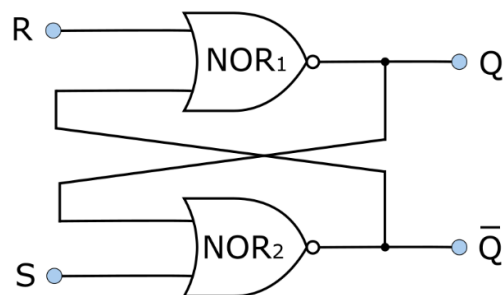


Figura 34. El flip-flop SR implementado con puertas NOR.

TABLA 4. Tabla de verdad de un flip-flop SR (NOR).¹⁸

R	S	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
0	1	1	0
1	0	0	1
1	1	0	0

En nuestro diseño hemos implementado este circuito con puertas NAND (ver Figura 35), que siguen la lógica complementaria a NOR, en la Figura 36 se muestran los resultados de simulación obtenidos, se puede comprobar que se cumple la tabla de verdad para un flip-flop implementado con puertas NAND (TABLA 5)

TABLA 5. Tabla de verdad de un flip-flop SR (NAND).

\bar{R}	\bar{S}	Q_{n+1}	\bar{Q}_{n+1}
0	0	1	1
0	1	0	0
1	0	1	0
1	1	Q_n	\bar{Q}_n

¹⁷ Este circuito se utiliza en la circuitería periférica.

¹⁸ La fila sombreada no se usa en la práctica.

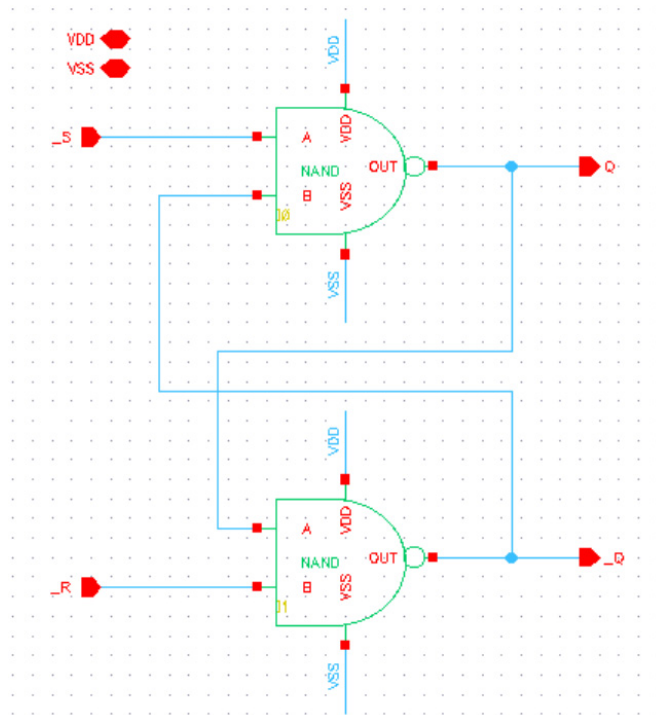


Figura 35. El flip-flop SR implementado con puertas NAND.

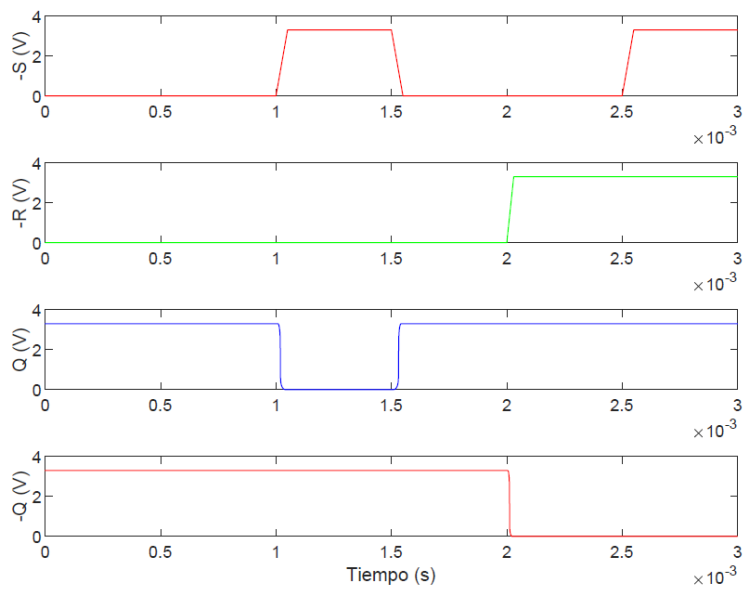


Figura 36. Tensión en las entradas \bar{S} , \bar{R} y en la salida Q , \bar{Q} en función del tiempo obtenidas por simulación.

3.1.1.6. Comparador de 2 etapas

La arquitectura del píxel incluye un comparador que se obtiene con un amplificador operacional de dos etapas sin compensación con par de entrada PMOS como primera etapa y un inversor con una carga que actúa como fuente de corriente como segunda etapa (ver Figura 37).

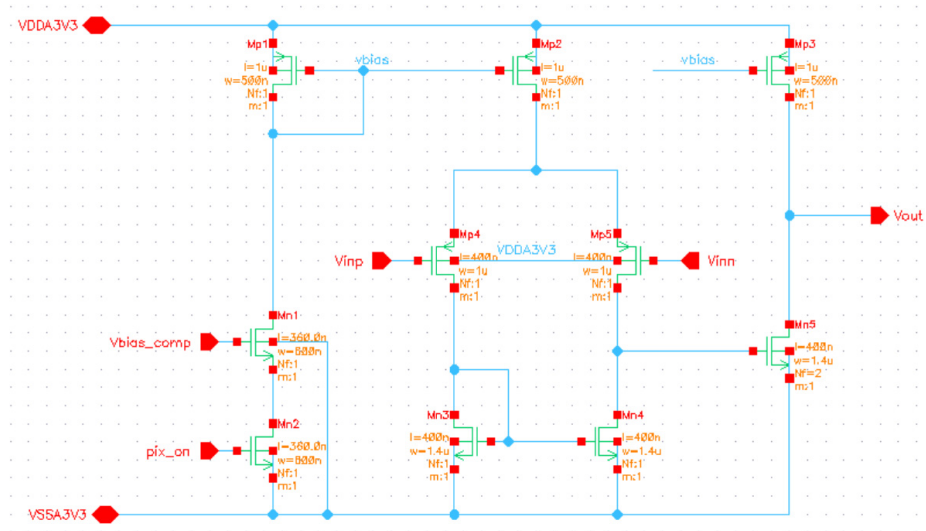


Figura 37. Esquema del comparador de dos etapas.

La segunda etapa, se añade para aumentar el rango de la tensión de salida porque interesa que su salida sea o bien un 1 lógico (3.3V) o bien un 0 lógico (0V) bien definidos.

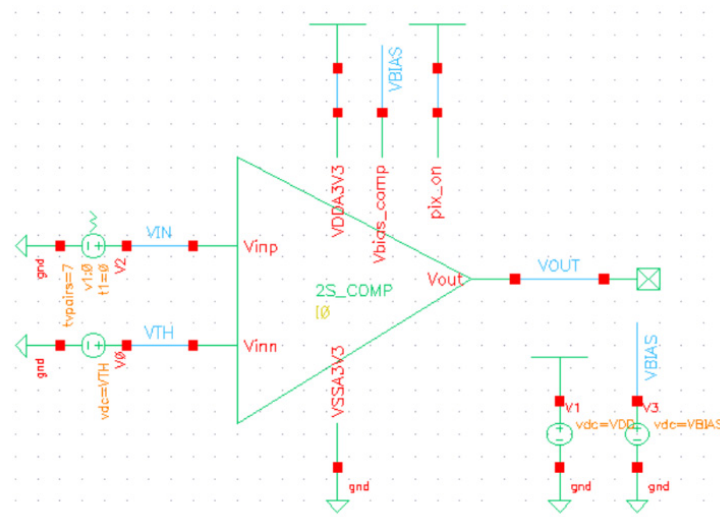


Figura 38. Esquema del banco de pruebas utilizado para el comparador de dos etapas.

En la Figura 38 se muestra el banco de pruebas que se ha usado para simular un transitorio. La prueba consiste en fijar la tensión de una de las entradas del comparador, introducir una rampa de tensión por la otra entrada y ver cómo cambia la salida. En la Figura 39 están representadas la entrada que varía (IN en rojo), la entrada que se mantiene a un valor constante (VTH en azul) y la salida (OUT en verde).

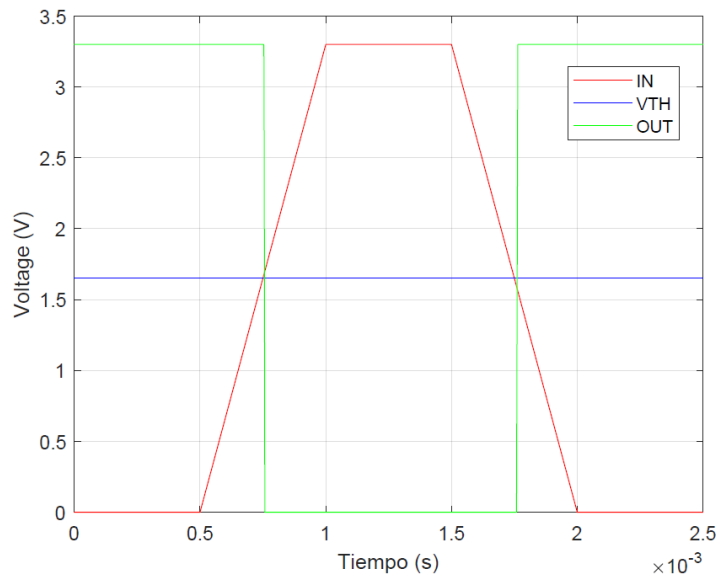


Figura 39. Esquema del banco de pruebas utilizado para el comparador de dos etapas.

En la Figura 40 se representa la tensión a la salida del comparador en función de la tensión de entrada diferencial.

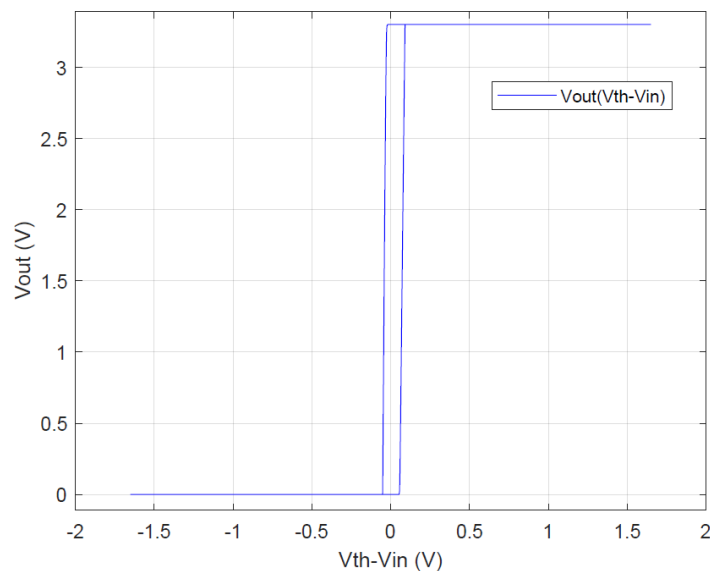


Figura 40. Tensión de salida del comparador V_{out} (V) en función de la tensión diferencial de entrada $V_{th}-V_{in}$ (V).

Mientras la tensión en la entrada inversora sea mayor que en la no inversora, la salida del comparador es un 0 lógico. Cuando la tensión en la entrada no inversora supera el valor umbral fijado, V_{th} , es cuando la salida conmuta al valor de 1 lógico, transición que realiza con una ganancia A_v . El comportamiento del circuito se puede modelar según la siguiente definición matemática:

$$V_{out} = f(V_P - V_N) \equiv \begin{cases} V_{OH} & \text{si } V_P - V_N > V_{IH} \\ A_v(V_P - V_N) & \text{si } V_{IL} < V_P - V_N < V_{IH} \\ V_{OL} & \text{si } V_P - V_N < V_{IL} \end{cases} \quad (1.13)$$

TABLA 6. Valores de tensión y ganancia característicos del comparador extraídos por simulación.

A_v	V_{IL} / mV	V_{IH} / mV	$V_{OL} / \mu V$	V_{OH} / V
100	-50	50	1.6	3.3

La incertidumbre en la comparación es $V_{IH} - V_{IL} = 100mV$, esto quiere decir que para tener la certeza de que el comparador compara, valga la redundancia, la diferencia entre las tensiones de entrada debe ser al menos de $100mV$.

La expresión teórica para la ganancia en tensión en pequeña señal es igual al producto de las ganancias de ambas etapas:

$$A_v = \left(\frac{g_{m_{P5}}}{g_{ds_{P5}} + g_{ds_{N4}}} \right) \left(\frac{g_{m_{N5}}}{g_{ds_{P3}} + g_{ds_{N5}}} \right) \quad (1.14)$$

Donde g_m y g_{ds} son el valor de la transconductancia y la conductancia intrínseca del transistor del transistor indicado en el subíndice.

Las prioridades del diseño han sido dos:

1. Bajo consumo de área.
2. Bajo consumo de potencia.

Con respecto a la primera de ellas, se ha conseguido un consumo del orden de decenas de nano amperios cuando está activado (Figura 41) y de pico amperios cuando se activa el modo de bajo consumo.

En el modo de funcionamiento por defecto, el bloque consume unos $17nW$, llegando a cerca de $25nW$ mientras conmuta.

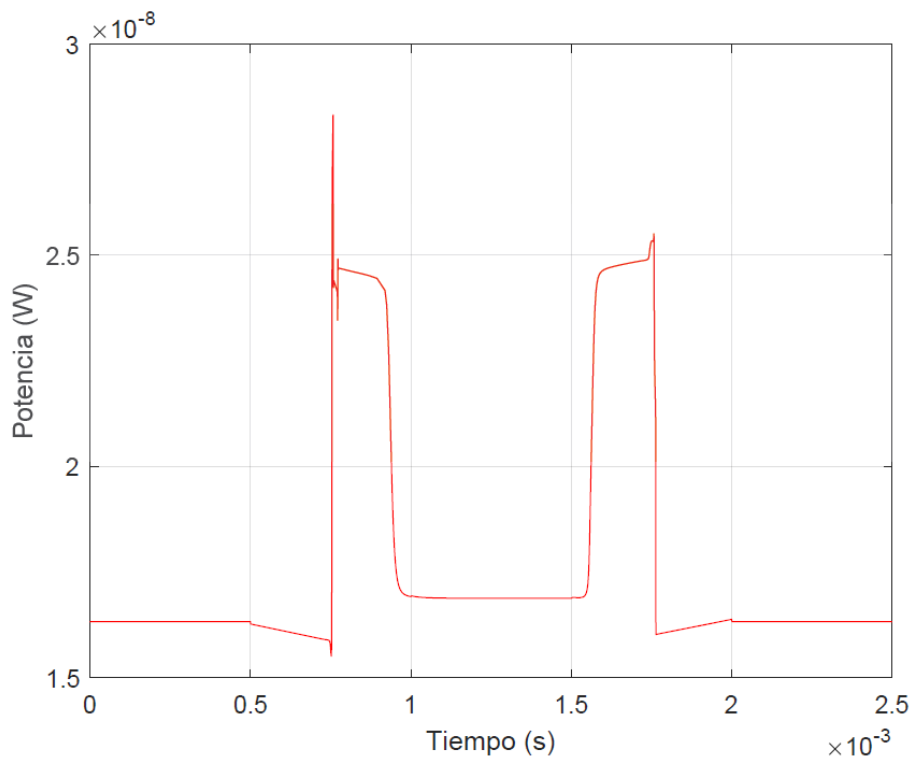


Figura 41. Consumo de potencia del comparador (W).

El comparador cuenta con una señal de entrada, **pix_on**, que lo desactiva una vez que ha activado su salida con la idea de ahorrar energía. Una vez que el comparador ha conmutado, tiene un consumo promedio de 16.3nW y si lo desactivamos bajando la señal **pix_on** pasa a consumir 44.0pW, bajando el consumo en 3 órdenes de magnitud.

Los píxeles iluminados activarán el comparador muy rápido tras el reseteo inicial en modo TFS, por lo que no tiene sentido que el comparador permanezca activo después de cumplir con su cometido.

3.1.1.7. Elemento C de Müller

La operación TFS se implementa con el conocido como *Elemento C* cuyas entradas son la señal de control global **pix_on** y la señal de control local **ack_pix** (ver Figura 42), ésta última llega en forma de pulso después de que el píxel envíe sus coordenadas fuera del chip (protocolo AER), tras lo cual, el píxel queda bloqueado hasta que la señal **pix_on** baja y sube de nuevo.

TABLA 7. Tabla de verdad para el elemento C.

pix_on	ack_pix	y _n = lock
0	0	0
0	1	y _{n-1}
1	0	y _{n-1}
1	1	1

La **¡Error! No se encuentra el origen de la referencia.** es la tabla de verdad del *Elemento-C* donde se muestra el valor del nudo **lock** en función del valor de sus dos entradas. Cuando ambas entradas valen 0 entonces **lock** también vale 0. Cuando ambas entradas valen 1 entonces **lock** también vale 1. Cuando alguna de sus entradas vale 0 y la otra vale 1 entonces **lock** vale lo que valía antes de la última transición. El píxel necesita un elemento de memoria que haga que éste se apague cuando haya emitido el pulso. En nuestro caso hemos decidido usar un elemento C porque es una solución compacta en área. Para la implementación de este bloque se ha usado un par de llaves CMOS controladas por las señales **ack_pix** y **pix_on** y los dos inversores anteriormente descritos (Página 29), su esquemático se muestra en la Figura 42.

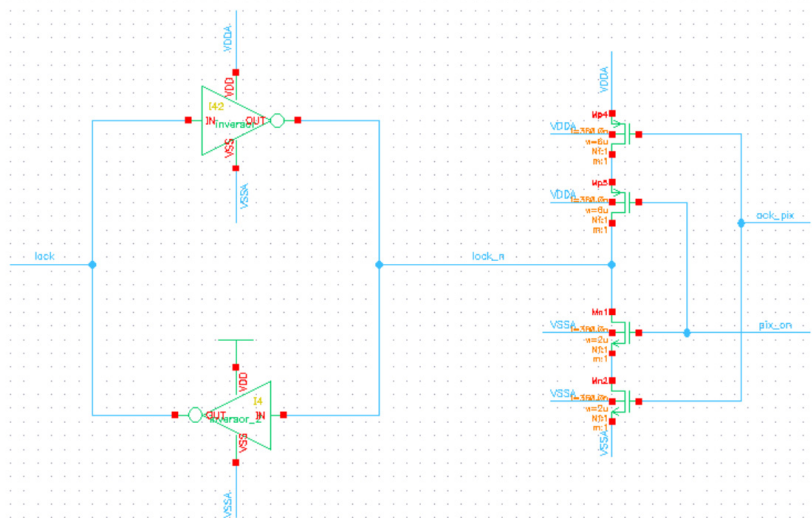


Figura 42. Esquemático de la implementación del elemento C de Müller.

Para comprobar su funcionalidad, se ha diseñado un banco de pruebas tal que reproduce su tabla de verdad.

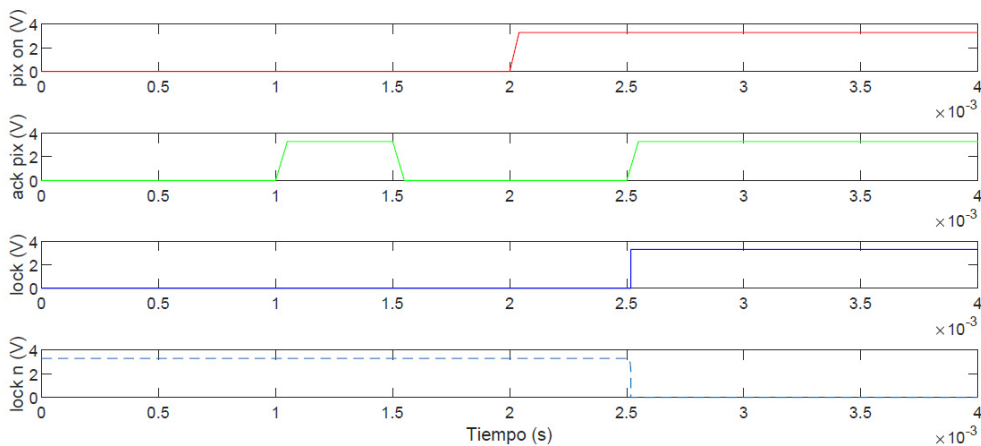


Figura 43. Cronograma de las señales *pix_on*, *ack_pix*, *lock* y *lock_n* obtenidas por simulación.

En la Figura 43 se representa el valor en tensión de los diferentes nudos del elemento-C obtenidos por simulación. En el instante inicial las entradas están a 0, las llaves pmos están cerradas y el nudo **lock_n** está a 1. El inversor de abajo tiene en su salida un 0 que es la entrada del inversor de arriba. El inversor de arriba tiene a su salida un nivel alto y la situación es estable.

Cuando la señal **ack_pix** sube se abre la llave pmos superior y se cierra la llave nmos inferior, pero valor de tensión en los nudos **lock** y **lock_n** no se ve alterado. Lo mismo ocurre cuando sube **pix_on** mientras **ack_pix** vale 0. Cuando las dos **ack_pix = pix_on = 1** se abren las dos llaves pmos y se cierran las dos nmos poniendo el nudo **lock_n** a 0.

Así queda probada su tabla de verdad.

3.1.1.8. Pixel

Con todos los elementos hasta ahora descritos y caracterizados por simulación ya podemos construir el píxel (ver Figura 45) y su correspondiente banco de pruebas (ver Figura 46).

En la Figura 47 se muestra la evolución temporal de las señales del circuito:

En el estado inicial, la señal **pix_on** está a nivel bajo, la tensión en el nudo $V_{ph} = 3.3V$ y el condensador tiene almacenada una carga $q = C \times V = 26.5fF \times 3.3V = 87.45fC$. Toda la carga extra generada por efecto fotoeléctrico se mueve bajo la influencia de un campo eléctrico¹⁹. La fotocorriente $I_{ph} = 10nA$ se fluye hacia el nudo de alimentación (VDDA). En $t = 1.0\mu s$ se levanta la señal **pix_on** abriendo el camino por el que circulaba la fotocorriente. Ahora esta carga se integra en el condensador provocando una caída de tensión con una pendiente teórica:

$$\frac{dV}{dt} = \frac{I_{ph}}{C} = \frac{10nA}{36.5fF} \cong 270kVs^{-1} \quad (1.15)$$

En la simulación dicha pendiente tiene un valor de $213kVs^{-1}$, es algo menor porque en nuestros cálculos hemos asumido que la capacidad total del nudo es la suma de la capacidad del fotodiodo y la capacidad del integrador de carga, hemos despreciado la capacidad parásita de la puerta del transistor de entrada del comparador y las de los transistores que actúan como llaves que tienen uno de sus terminales a este nudo.

Cuando la tensión V_{ph} alcanza la tensión umbral $V_{th} = 1V$ el comparador decide y su salida cambia de 0 a 1 (**out_comp**). A continuación, la señal se regenera pasando por una etapa compuesta por dos inversores conectados en serie (**spike**) y cierra las llaves N3 y N4: el píxel solicita acceso al bus de comunicación para transmitir sus coordenadas. Esto se lleva a cabo en dos pasos: primero baja la señal **_req_row**, que se transmite por la fila correspondiente de la matriz hasta la circuitería de la periferia que responde, concediendo el acceso al bus, subiendo la tensión **ack_row** lo que permite que el píxel baje la señal **_req_col**. Con **_req_row** y **_req_col** a cero el píxel tiene acceso al bus compartido y sus coordenadas se transmiten al exterior. Por último, se suben las señales **reset_row** y **reset_col**, que son las entradas de la puerta NAND, esta devuelve un 0 que pasa por un inversor y se convierte en un 1. Las dos entradas del elemento-C están a 1 entonces se abren las dos llaves PMOS (Mp4 y Mp5) y se cierran las dos NMOS (Mn1 y Mn2) bajando a cero la tensión del nudo **lock_n** que cierra la llave PMOS (LOCK). Entonces se crea de nuevo un camino entre VDDA y el nudo Vph, se drena toda la carga generada por

¹⁹ Relación entre campo eléctrico y potencial: $\vec{E} = -\nabla V$.

los fotones, la salida del comparador cae a cero, suben las señales **_req_row** y **_req_col**, bajan las entradas de la NAND, se abren una llave PMOS (Mp4) y NMOS (Mn2) del elemento-C pero la tensiones **lock** y **lock_n** permanecen a sus valores anteriores.

El píxel permanecerá en este estado hasta que la señal **pix_on** baje y vuelva subir (pulso). Con la bajada de **pix_on** sube **lock_n** y se abre la llave LOCK y el píxel vuelve a su estado inicial listo para detectar fotones.

Este píxel consume 10nA cuando está desactivado (**pix_on** a cero) 220μW de potencia en activo (**pix_on** a nivel alto). En la Figura 44 se muestra el transitorio de la tensión **Vph** para 50 muestras por simulación de Montecarlo. Todas se comportan de manera similar.

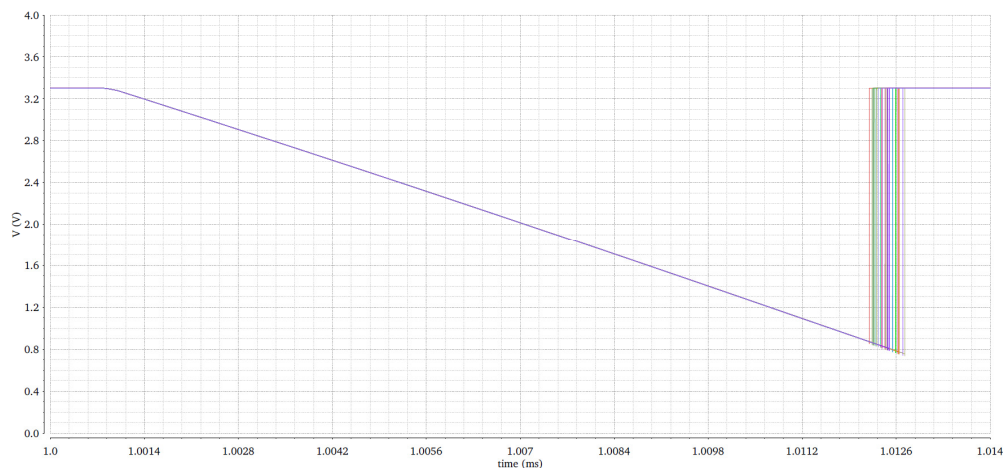


Figura 44. Evolución temporal de la tensión **Vph** para 50 muestras por simulación de Montecarlo.

Sustituyendo valores en la expresión de la frecuencia teórica vista en apartados anteriores:

$$f_{osc} \cong \frac{I_{ph}}{C_{ph}(VDD - V_{th})} = \frac{10nA}{36.fF(3.3V - 1.0V)} = 120kHz \quad (1.16)$$

Donde VDD es el valor de la tensión de alimentación y V_{th} es el valor umbral asignado al comparador. En la simulación se obtiene una frecuencia de 80kHz, es menor por que se ha despreciado capacidad parásita y se han modelado caminos RC que retrasan la señal. En la Figura 48 se muestra la evolución temporal de las mismas señales con el modo B de ahorro de energía activado (**mode_n** a nivel alto). Después de que el comparador decida, las coordenadas se envían fuera del píxel, pero no se reestablece la carga en el condensador. En el modo ahorro de energía consume 10nA desactivado y 210μW en activo (**pix_on** en alto). No se puede cuantificar por simulación el ahorro de energía por disminución de corriente oscura. En el futuro, cuando lleguen las primeras muestras del sensor se harán medidas en el laboratorio.

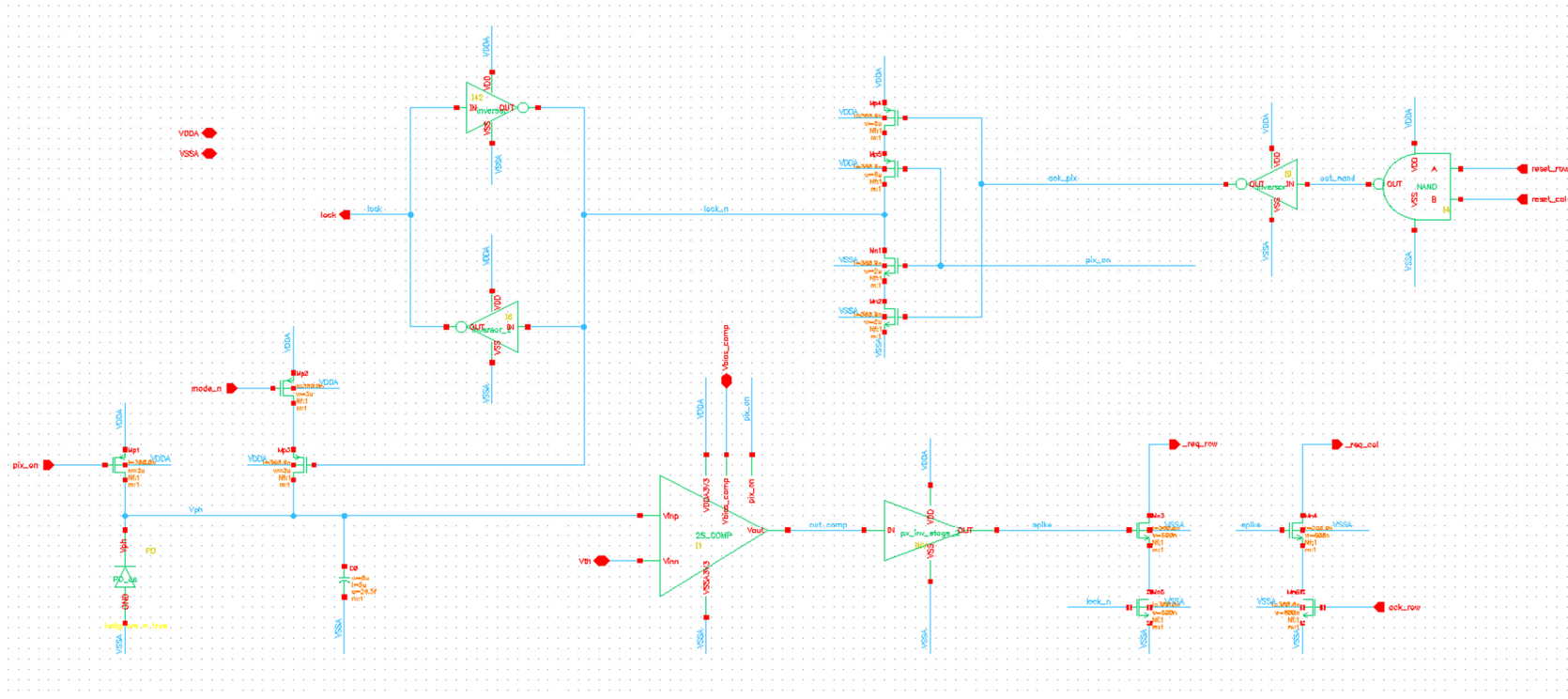


Figura 45. Esquemático del píxel. Dimensiones de los transistores (W/L, $\mu\text{m}/\mu\text{m}$): $M_{p1}=M_{p2}=M_{p3}=3/0.36$, $M_{p4}=M_{p5}=6/0.36$, $M_{n1}=M_{n2}=2/0.36$, $M_{n3}=M_{n4}=M_{n5}=M_{n6}=0.6/0.36$.

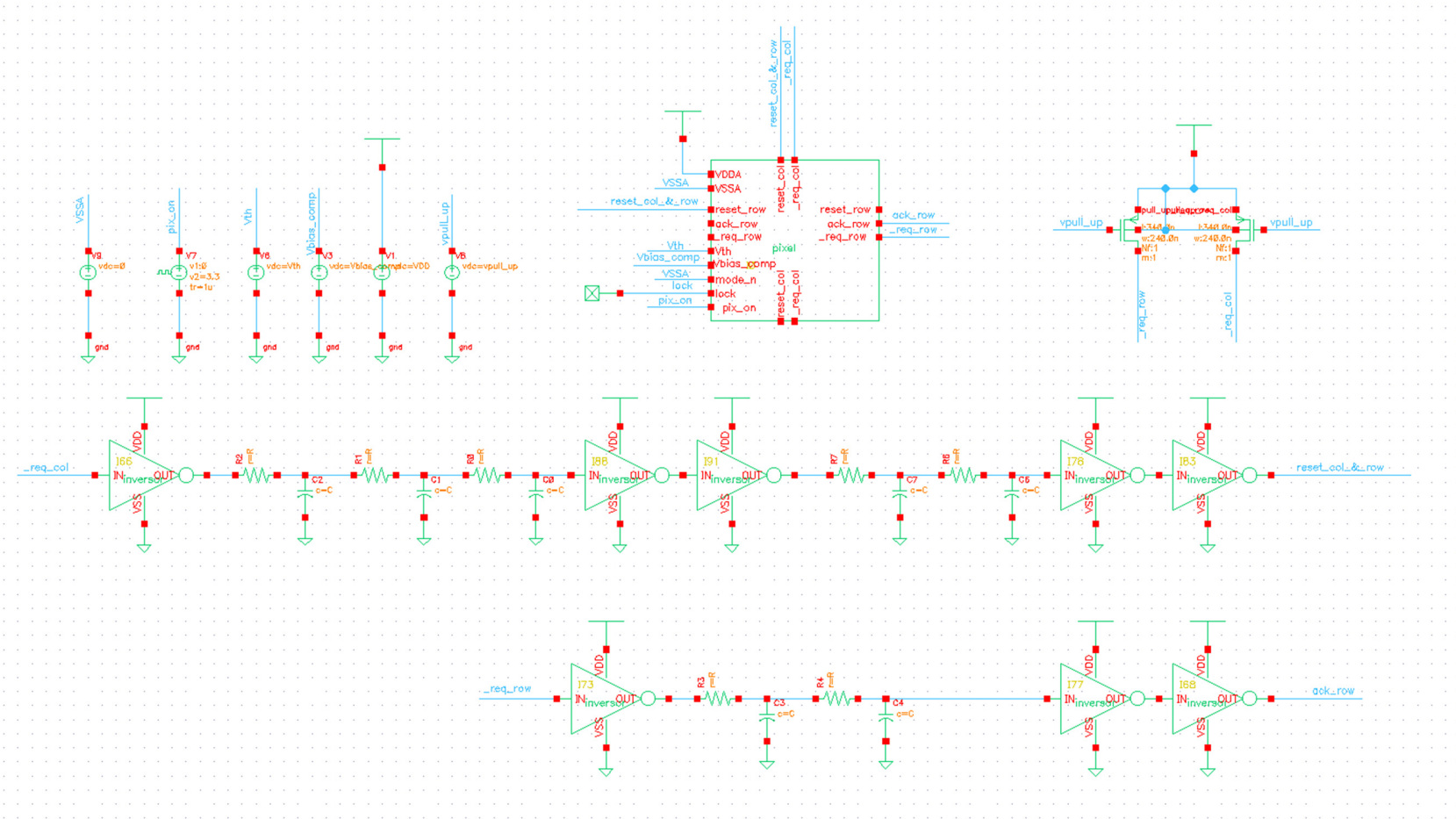


Figura 46. Banco de pruebas para el píxel. Dimensiones de los transistores (W/L, $\mu m/\mu m$): $v_{pull_up}=0.24/0.34$; $R=1m\Omega$; $C=10pF$.

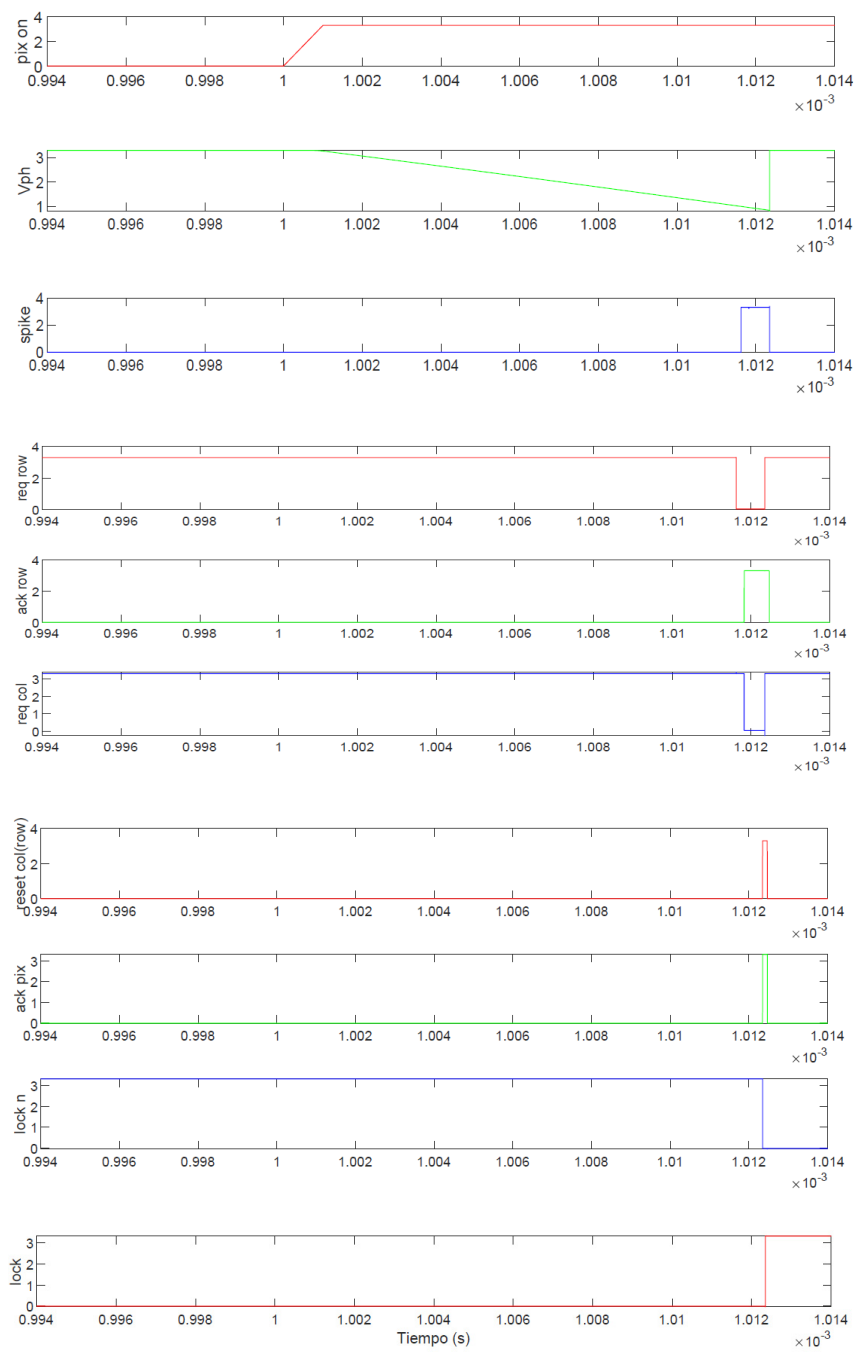


Figura 47. Evolución temporal de señales del píxel. Modo A: reinicio rápido.

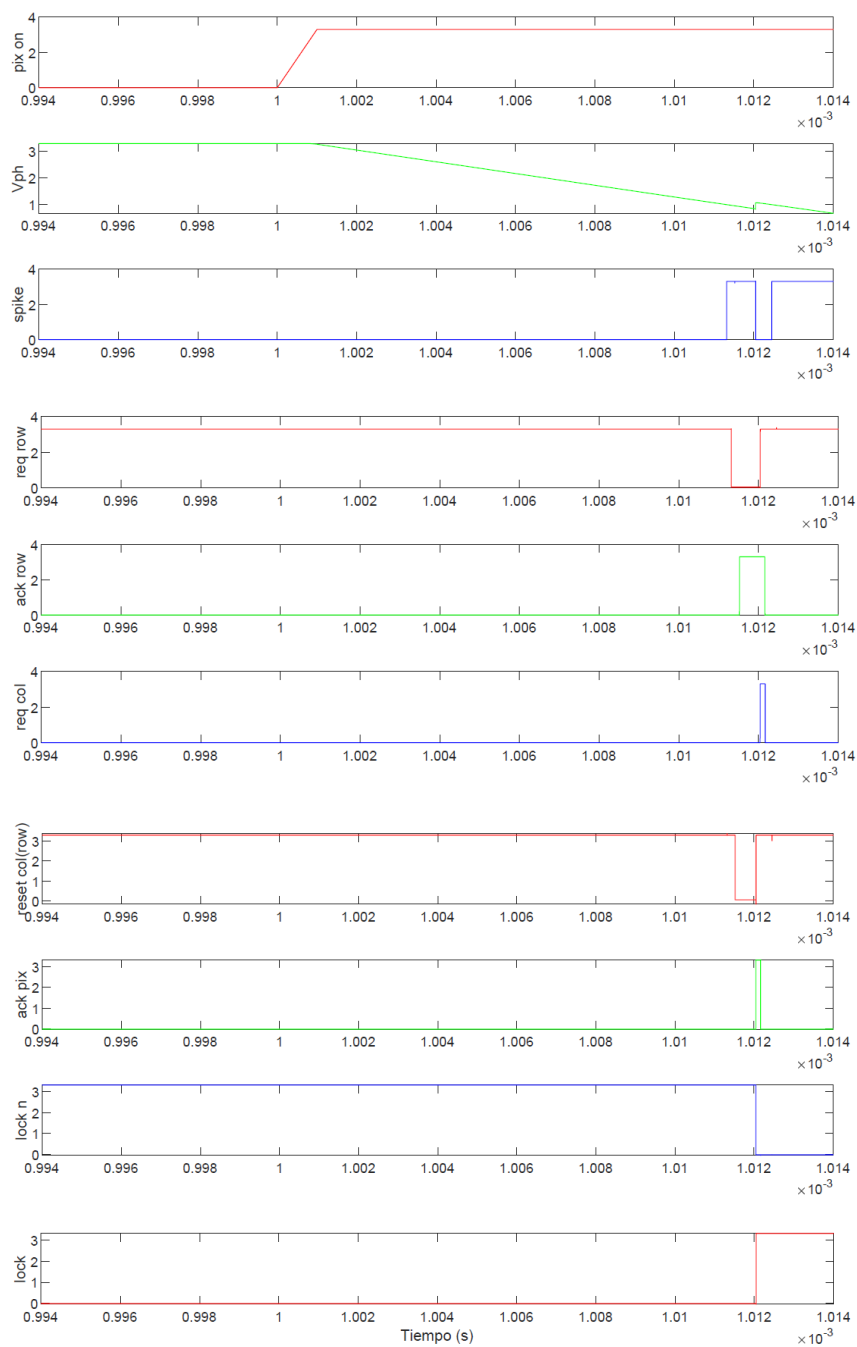


Figura 48. Evolución temporal de señales del píxel. Modo B: Ahorro de energía.

IV. CIRCUITERÍA PERIFÉRICA

4.1. ARBITRADOR

La matriz de píxeles crea un sistema de comunicación punto a multipunto²⁰, donde se comparte un único bus. Es posible que dos o más píxeles generen un evento al mismo tiempo y esto puede provocar que la dirección que se envía se pierda o sea incorrecta. Para evitar este problema es necesario implementar una etapa de arbitración. Cuando un píxel genera un evento, primero tiene que pedir acceso al bus para la transmisión. Después de que se le de acceso, la dirección del píxel se expone en el bus. Para este trabajo se ha utilizado una arbitración completa con un arbitrador 'Greedy' [21] como el que se muestra en la Figura 49.

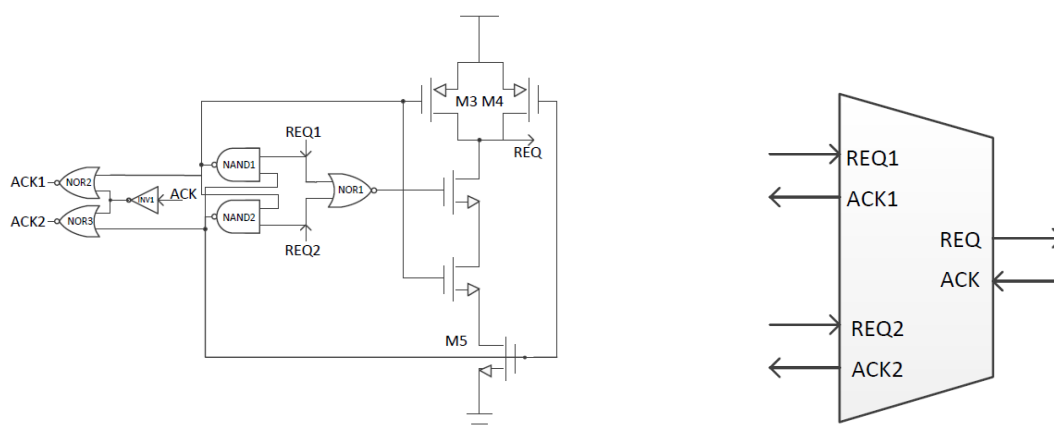


Figura 49. Esquemático (izquierda) y símbolo (derecha) del arbitrador.

La idea básica de este arbitrador es usar un flip-flop RS con entradas activas a nivel alto (Figura 49). Si no se solicita acceso al bus ($REQ1=REQ2=0$), el flipflop funciona en combinación restrictiva, esto significa que sus dos salidas están a nivel alto. Si la señal REQ1 sube primero, la señal alta de la NAND2 baja, esto bloquea la señal REQ2, la señal REQ1 es la ganadora y sube la señal de salida REQ que viaja hacia el siguiente nivel. Se ha añadido un circuito que se parece a la arquitectura de una puerta NAND para prevenir fallos [21]. Los arbitradores se organizan en un árbol binario para poder hacer una arbitración completa (ver Figura 50).

²⁰ Comunicación punto a multipunto es un término que se utiliza en el ámbito de las telecomunicaciones, es un tipo de conexión entre una única ubicación y varios lugares.

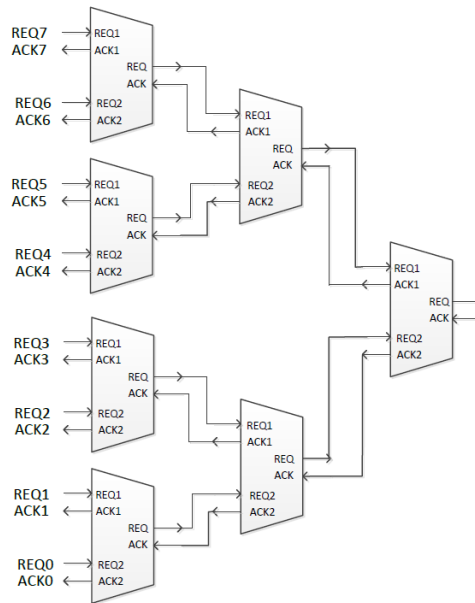


Figura 50. Árbol binario de arbitrajes de 8 peticiones.

El último arbitrador tiene cortocircuitados sus puertos REQ y ACK. Para arbitrar 8 señales se han usado 3 niveles de arbitrajes. Por ejemplo, si REQ4 obtiene acceso al bus significa que ha ganado a REQ5 en el primer nivel, al que ganara de REQ6 y REQ7 en el segundo nivel y al que lo hiciera de entre REQ0, 1, 2 y 3 en el último nivel.

En nuestro esquemático (Figura 51) y con respecto a la introducción teórica del arbitrador, se tiene la siguiente igualdad entre señales: $ACK1=a0$, $ACK2=a1$, $REQ1=r0$, $REQ2=r1$, $REQ=r$.

Para simular el arbitrador (Figura 52) se estimula la entrada $r0$ con un tren de pulsos y $r1$ se deja a nivel alto desde $t=0s$ hasta $t=5ms$, a partir de ese instante se pone otro tren de pulsos de la misma frecuencia en $r1$. Aunque a partir de $t=5ms$ ambas señales son idénticas, algunas veces se activa $a0$ y otras se activa $a1$. Queda por tanto probado por simulación que, ante dos estímulos, $r0$ y $r1$ simultáneos, el circuito responde de forma aleatoria para dar acceso al bus compartido de comunicación (ver Figura 53).

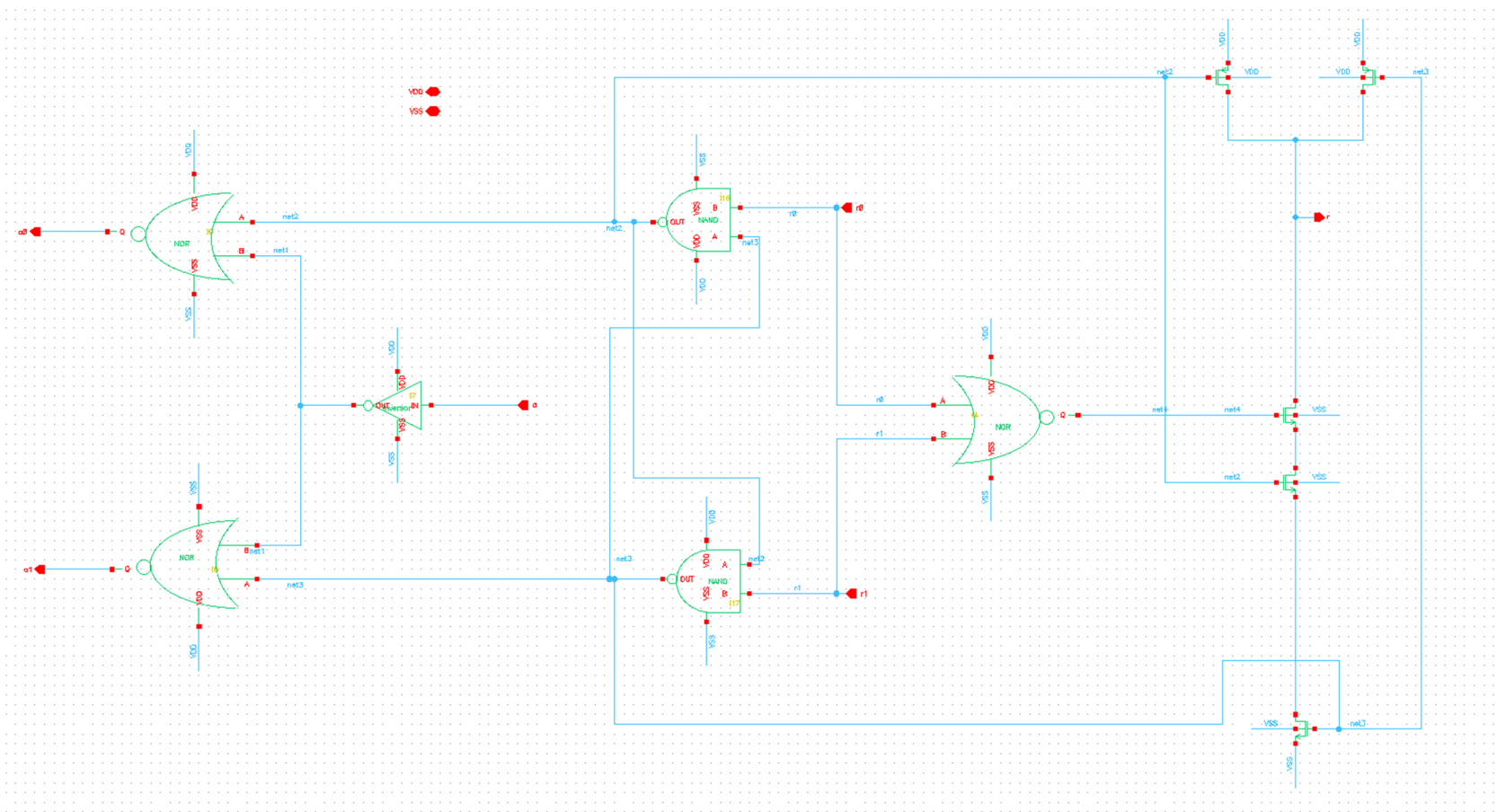


Figura 51. Esquemático del arbitrador. Dimensiones de los transistores (W/L, $\mu\text{m}/\mu\text{m}$): $TN0=TN1=TN2=TN3=TN4=0.24/0.94$.

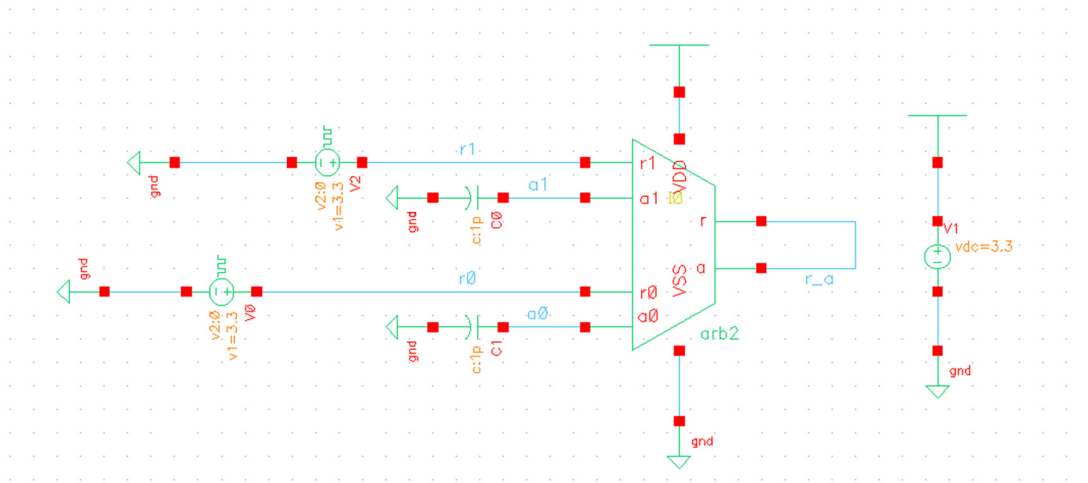


Figura 52. Banco de pruebas para el arbitrador. Se han conectado condensadores de 1pF para modelar la carga en las salidas a0 y a1.

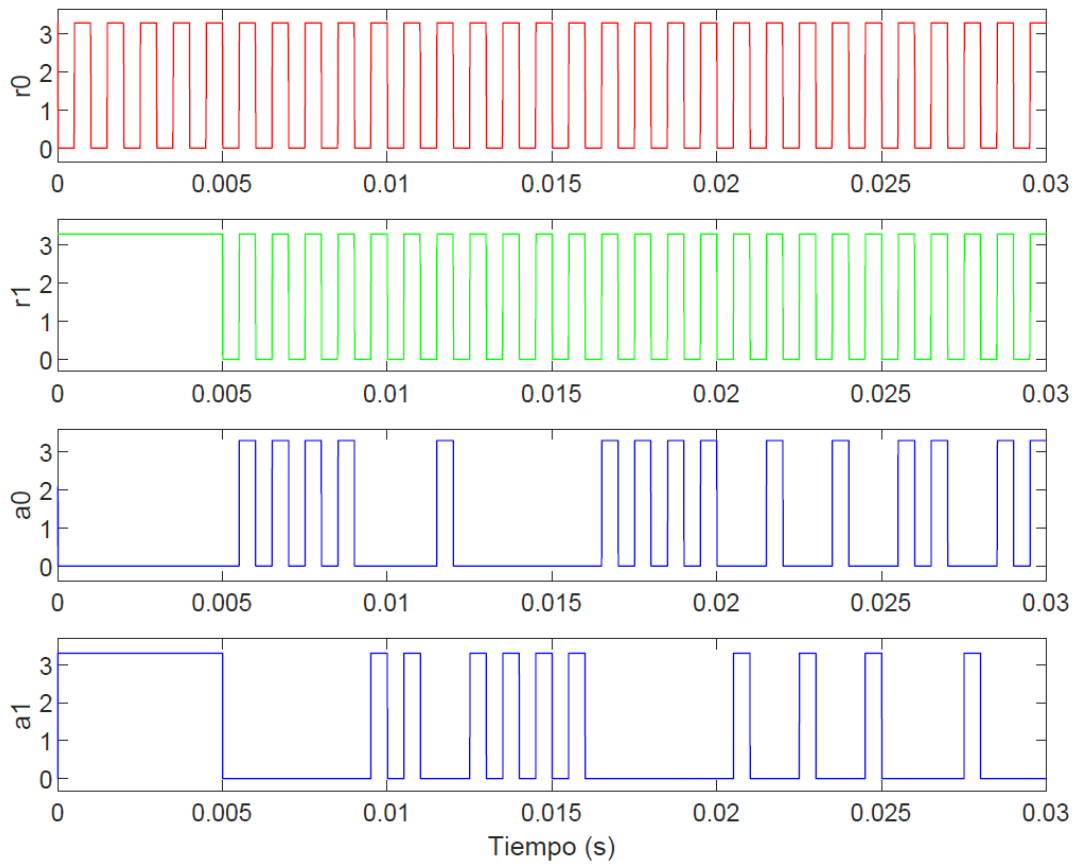


Figura 53. Resultados de simulación: señales r0, r1, a0, a1 (V) frente al tiempo (s).

4.2. LÓGICA DE SELECCIÓN

El bloque encargado de la lógica de selección (ver Figura 55, pag.55) gestiona las señales de petición y de acceso al bus compartido para cada píxel, además de reiniciarlo. Hay uno de estos bloques por cada fila y por cada columna, este circuito está compuesto por cuatro inversores de tipo 1, 2 puertas NOR, una llave PMOS y un flip-flop SR implementado con puertas NAND.

4.3. PERIFERIA

El circuito periferia contiene 128 bloques de lógica de selección (uno para cada fila(columna)) conectados a un árbol de arbitradores y a una matriz de 128 filas y 7 columnas cuya finalidad es asignar una palabra digital a cada fila(columna), es decir, se trata de un multiplexor de 7 bits con los que podemos identificar $2^7 = 128$ elementos. En total hay 2 bloques periferia, uno para las filas y otro para las columnas.

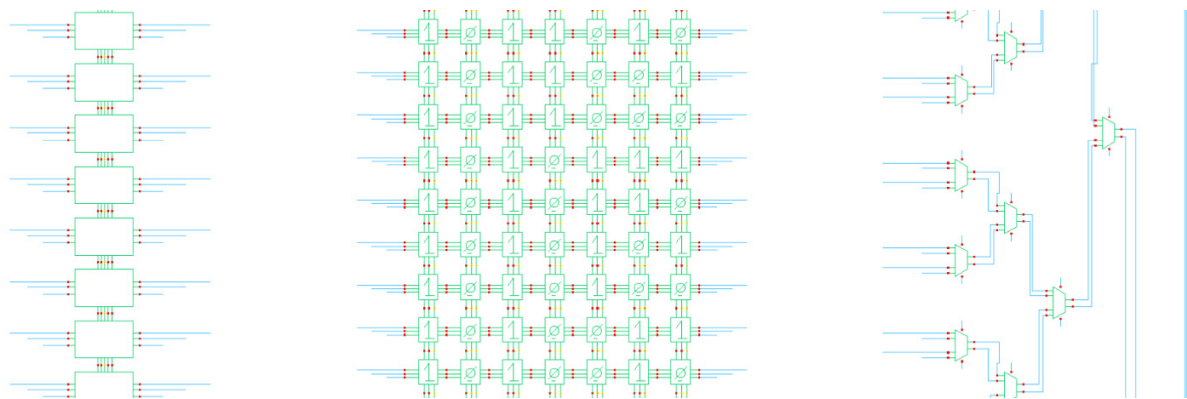


Figura 54. Detalle del esquemático periferia: a la izquierda la columna de lógica de selección, a la derecha el árbol de arbitradores y en la zona central el multiplexor de 7 bits.

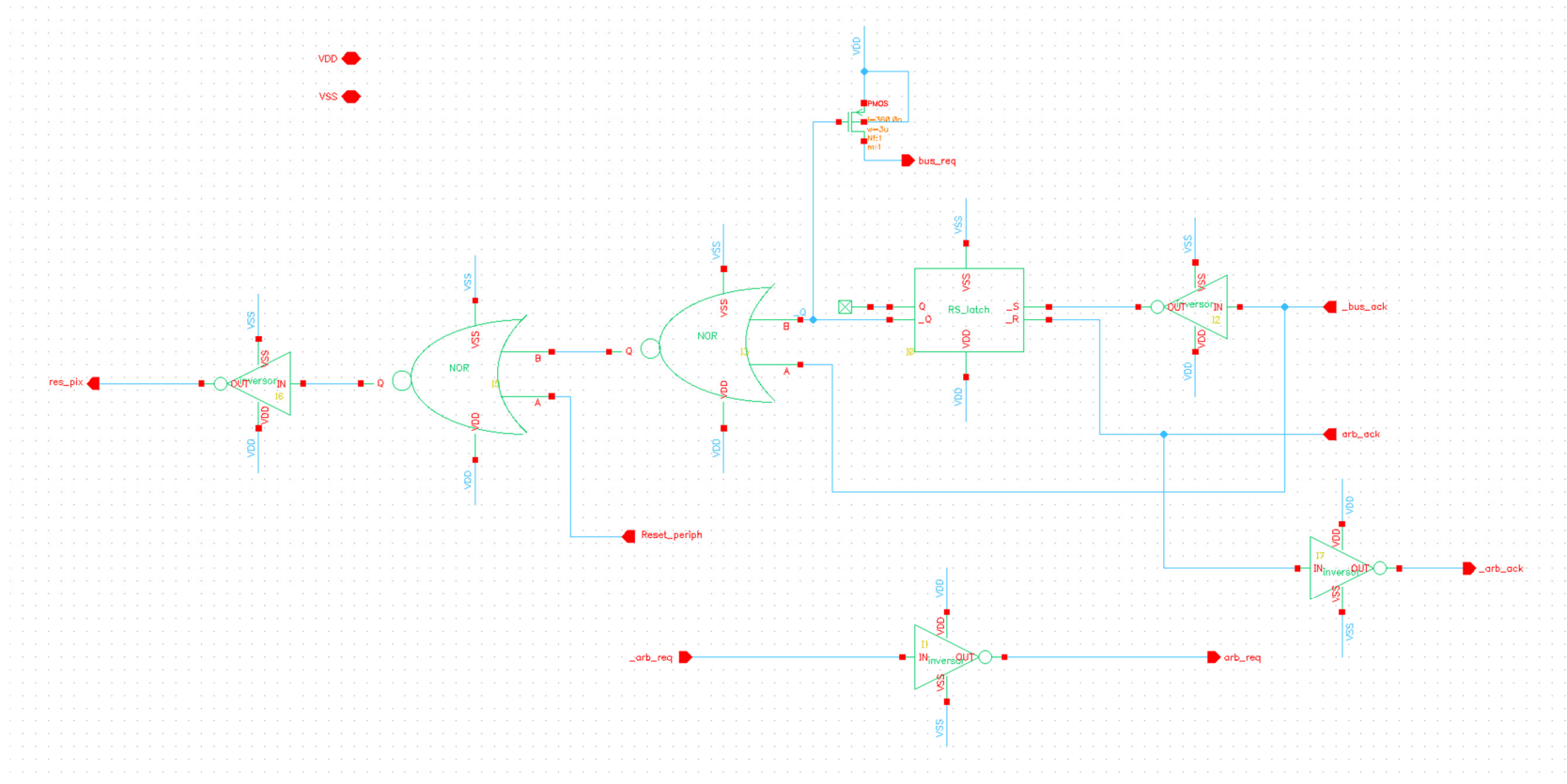


Figura 55. Esquemático del bloque encargado de la lógica de selección. El transistor PMOS tiene unas dimensiones de $W/L(\mu\text{m}/\mu\text{m}) = 3/0.36$.

V. IMPLEMENTACIÓN FÍSICA

5.1. LAYOUT DEL CIRCUITO

El layout del circuito es un archivo que contiene la información necesaria para generar las foto-máscaras con las que se construirá el sensor. La tecnología que se utiliza se denomina UMC L180 MM/RF 1.8V/3.3V 1P6M con sustrato tipo p con 1 nivel de poly y 6 niveles de metal (Al). En la Figura 56 se muestra una imagen obtenida con un microscopio electrónico de barrido²¹ de un corte transversal de un integrado²². El nivel inferior es el sustrato de silicio (Si), y subiendo tenemos: el poly, vías de conexión entre el primer nivel de metal y poly, metal 1, vías M2-M1, metal 2, vías M3-M2 y así hasta la última capa de metal, M6.

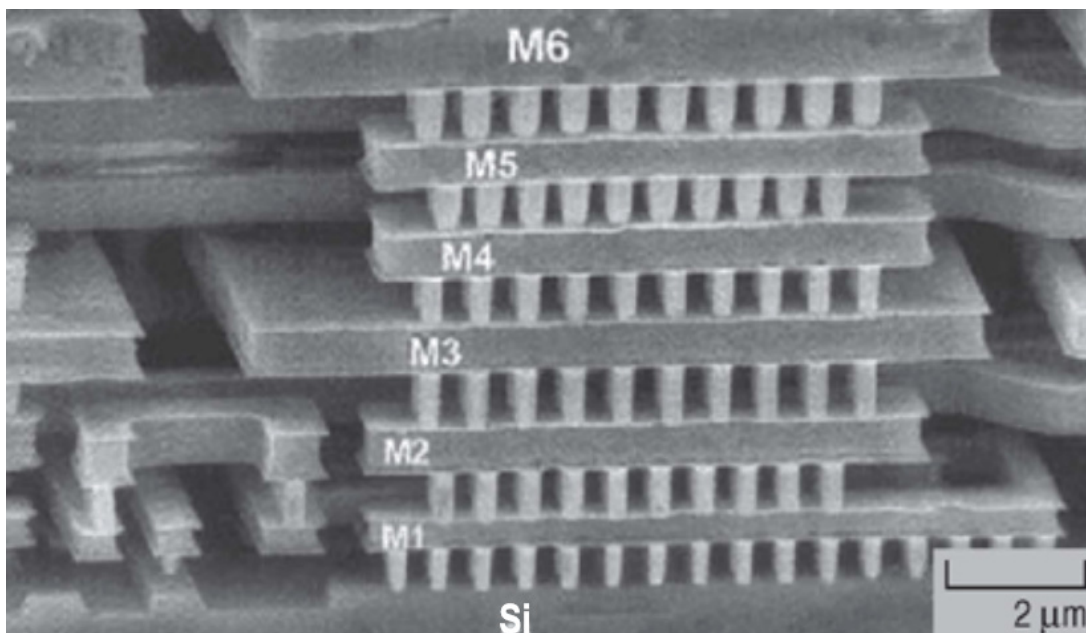


Figura 56. Imagen obtenida por SEM de un integrado CMOS (sección transversal).

Una vez terminado el layout de un diseño es necesario pasar las verificaciones físicas para asegurarnos que no se viola ninguna regla de diseño.

²¹ También llamado SEM, siglas de Scanning Electron Microscope.

²² Imagen obtenida en del sitio web <https://www.dbstalk.com/>

5.2. VERIFICACIONES FÍSICAS Y REGLAS DE DISEÑO

Antes de enviar el diseño a fabricar debemos asegurar tres cosas:

1. El circuito representado en el layout es idéntico al del esquemático.
2. El layout cumple las reglas de diseño.
3. No existen antenas.

Para ello, y dada la complejidad de la tarea hemos utilizado un software específico llamado Calibre.

El punto 1 se cubre mediante el conocido como LVS (Layout versus Schematic), esta prueba consiste en extraer la información del circuito del layout y compararla con la información extraída del esquemático. Si ambas coinciden se dice que el diseño ha pasado el LVS.

Para el punto 2 necesitamos pasar el DRC (Design Rule Check).

La fábrica encargada de la fabricación proporciona un documento llamado DRM (Design Rule Manual) que contiene las reglas de diseño, que consisten en límites para los diferentes parámetros manejados por el diseñador como pueden ser distancias entre capas o pistas de metal, densidades superficiales de o número mínimo de contactos entre otros, todas estas reglas se recogen a su vez en el archivo PDK (Process Design Kit). Este archivo se utiliza en Calibre para someter al diseño a la prueba de DRC. Cuando el programa no reporte ninguna violación de reglas se dice que el diseño pasa DRC.

Para el punto 3 se usa de nuevo el software Calibre para comprobar que el diseño no sufrirá daños por el efecto antena.

Durante el proceso de metalización²³ las pistas de metal que se conectan a las puertas de poli silicio de los transistores pueden permanecer flotantes hasta que sea depositada la capa de metal inmediatamente superior. Si dicha pista es lo suficientemente larga y no está cubierta por una capa de óxido puede actuar de manera temporal como un condensador asimilando carga durante las etapas de fabricación, como puede ser el *etching* con plasma. Esta energía acumulada se puede descargar de forma repentina en forma de corriente pudiendo ocasionar un daño permanente por ruptura del óxido de puerta como se muestra en la Figura 57(a). La cantidad de carga acumulada es proporcional a el área de metal expuesto al plasma, este fenómeno se conoce como efecto antena. En el ejemplo de la Figura 57(b) las pistas han sido fabricadas en el siguiente orden: poly, metal 1, metal 2, metal 3 y metal 4. Los segmentos 2-4 acumulan carga suficiente para crear una corriente por descarga y dañar el óxido de puerta. Por otra parte, si las pistas de material conductor se conectan a una difusión la corriente se pierde por el sustrato. En la Figura 57(c) la carga acumulada en los segmentos 6-8 se descarga a través de la difusión y no causa daños.

²³ Cuando se construyen las pistas de metal para conectar los dispositivos.

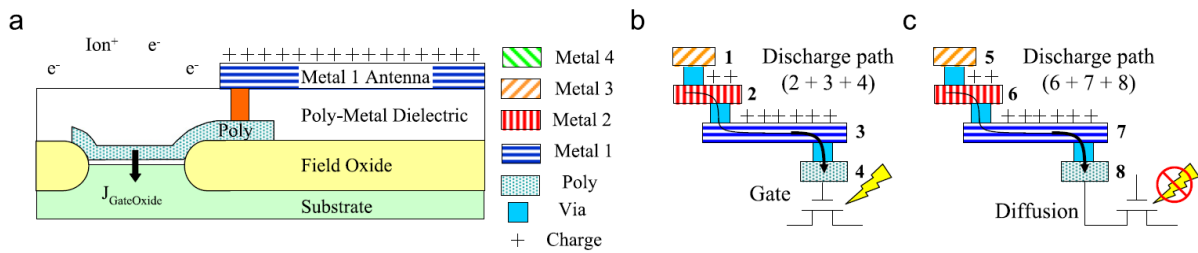


Figura 57. Efecto antena: (a) esquema de daño por etching de plasma, (b) la carga acumulada en los segmentos 2-4 se descarga a través del óxido de puerta causando daños sobre este, (c) las carga acumulada en los segmentos 5-8 se descarga a través de la difusión y no causa daño.

Para evitar daños por efecto antena hay que someter al layout del diseño a la prueba de antenas, este impone un límite superior al cociente de antena (AR^{24}). El AR se define como el cociente entre el área de metal expuesta al plasma A_{metal} y el área de óxido de puerta A_{poly} :

$$AR = \frac{\text{área expuesta al plasma}}{\text{área de óxido de puerta}} = \frac{A_{metal}}{A_{poly}} \leq k_{th} \quad (1.17)$$

Donde k_{th} es el límite superior de AR.

Existen tres soluciones populares para reducir el efecto antena:

1. Salto de metal: consiste en abrir el camino del metal problemático y completar la conexión con el metal superior (Figura 58(a)).
2. Niveles altos de metal: usar niveles altos de metal para el camino problemático (Figura 58(b)).
3. Conectar un diodo: Se pueden conectar diodos a la puerta de los transistores y colocándolos cerca, estos drenan la carga manteniendo el nivel de tensión (Figura 58(c))[22].

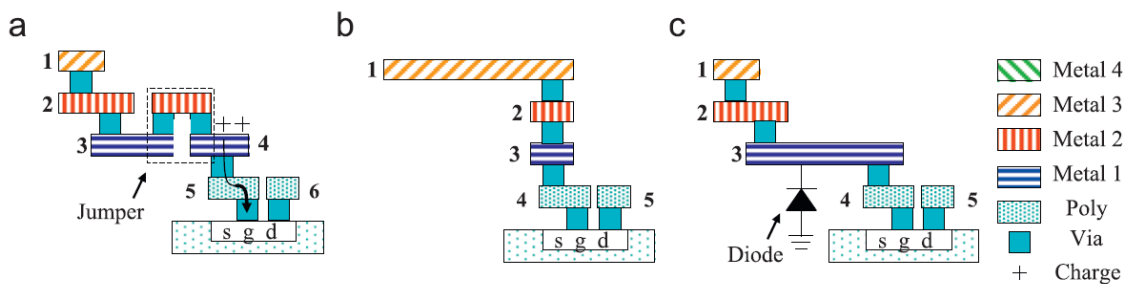


Figura 58. Reducir el efecto antena con (a) salto de metal, (b) niveles altos de metal, (c) conectando un diodo.

²⁴ AR, Antenna Ratio

5.3. LAYOUT DEL PÍXEL

En la Figura 59 se muestra el layout del píxel. Con un pitch de $21\mu\text{m} \times 21\mu\text{m}$, se pueden distinguir dos zonas bien diferenciadas: una periférica, muy congestionada, donde está toda la circuitería y una zona central poco poblada donde está el fotodiodo. El color rojo más intenso es el área activa desprovista de óxido de campo y donde se implantan impurezas para difundir, estas serán de tipo n+ para los NMOS y de tipo p+ para los PMOS. El color azul oscuro está asignado a la capa de poly, esta designa el lugar donde se fabricará el poli silicio para las puertas de los transistores. El resto de capas de metal no se distingue muy bien, mas adelante se muestran las capas por separado.

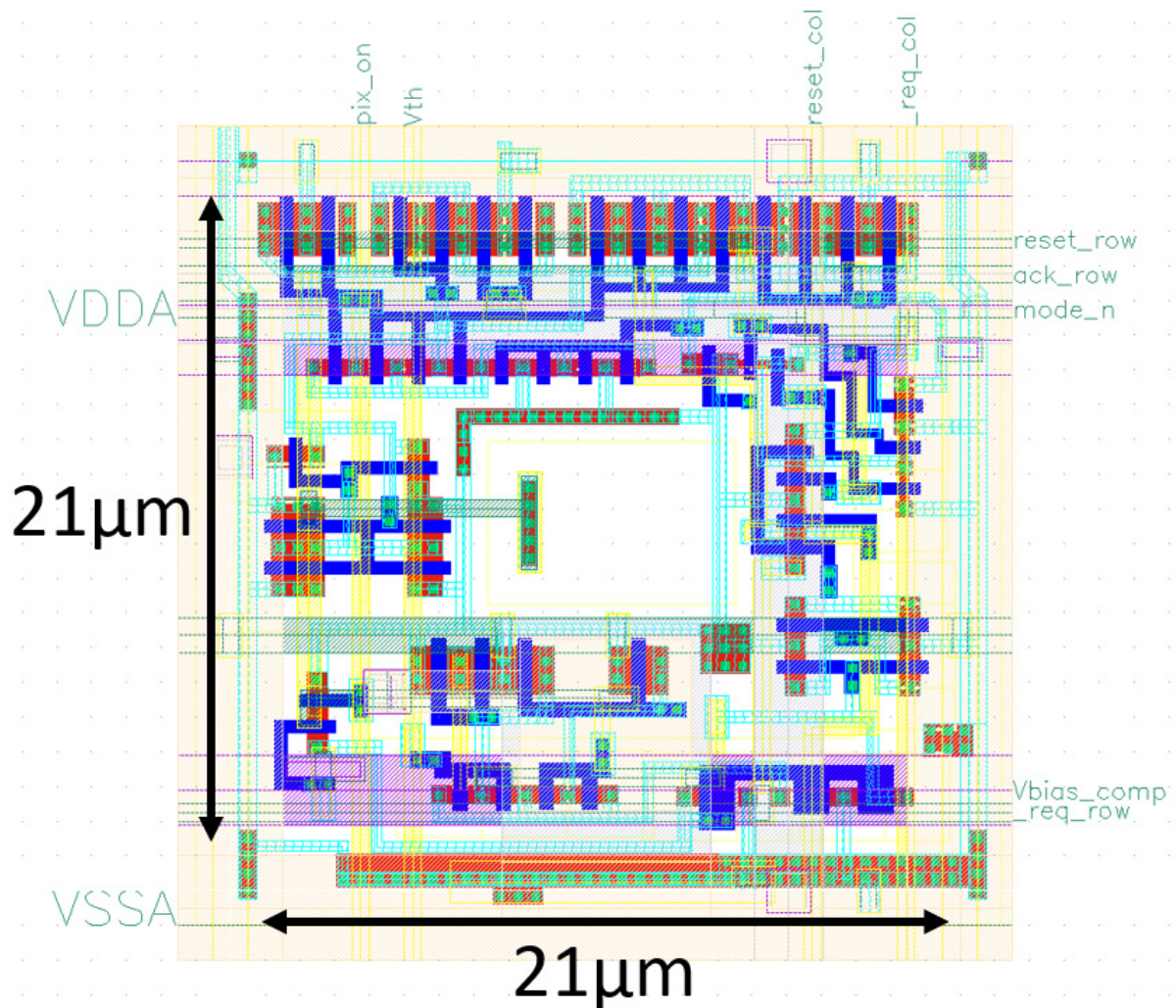


Figura 59. Layout del píxel.

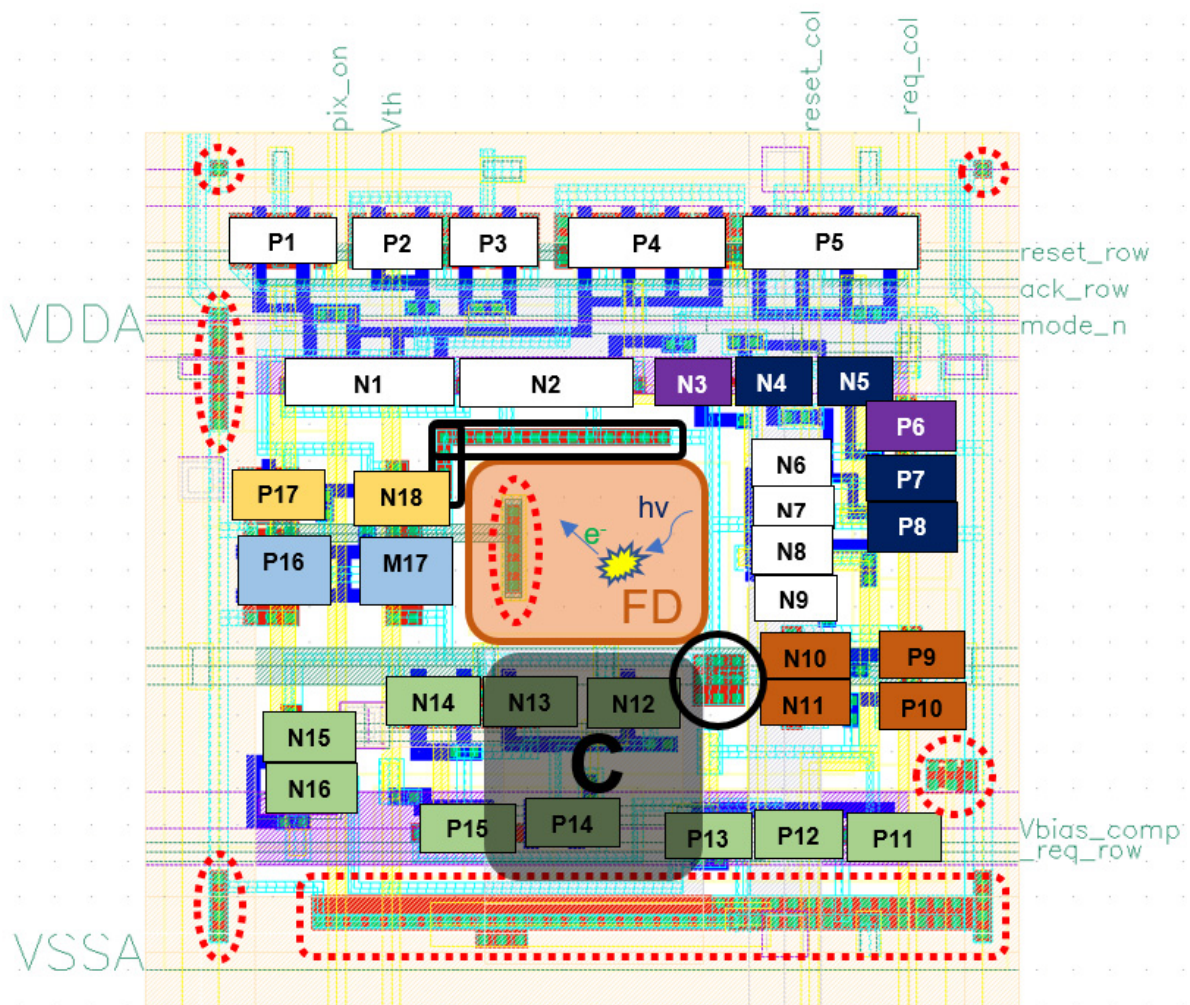


Figura 60. Layout del píxel. Identificación de transistores.

En las Figura 60 y Figura 61 están identificados los transistores del diseño. Los NMOS se nombran como N_i con $i=1, 2, \dots, 18$ y los PMOS como P_j con $j=1, 2, \dots, 17$ que hacen un total de 35 transistores. Las jerarquías inferiores: el comparador, inversor 1, inversor 2 y puerta NAND han sido identificadas con colores con el objeto de facilitar el lugar que ocupan dentro del píxel. Los contactos a sustrato para los NMOS (VSSA) están señalados con formas redondeadas con el contorno negro. Los contactos a sustrato para los PMOS (VDDA) están señalados con formas redondeadas con el contorno rojo discontinuo. El contacto a sustrato que está dentro del área del fotodiodo (FD) es el ánodo del fotodiodo y va conectado al nudo V_{ph} . La sombra rectangular con una C en el centro es el lugar donde se encuentra la capacidad de integración en los niveles superiores de metal 5 y 6.

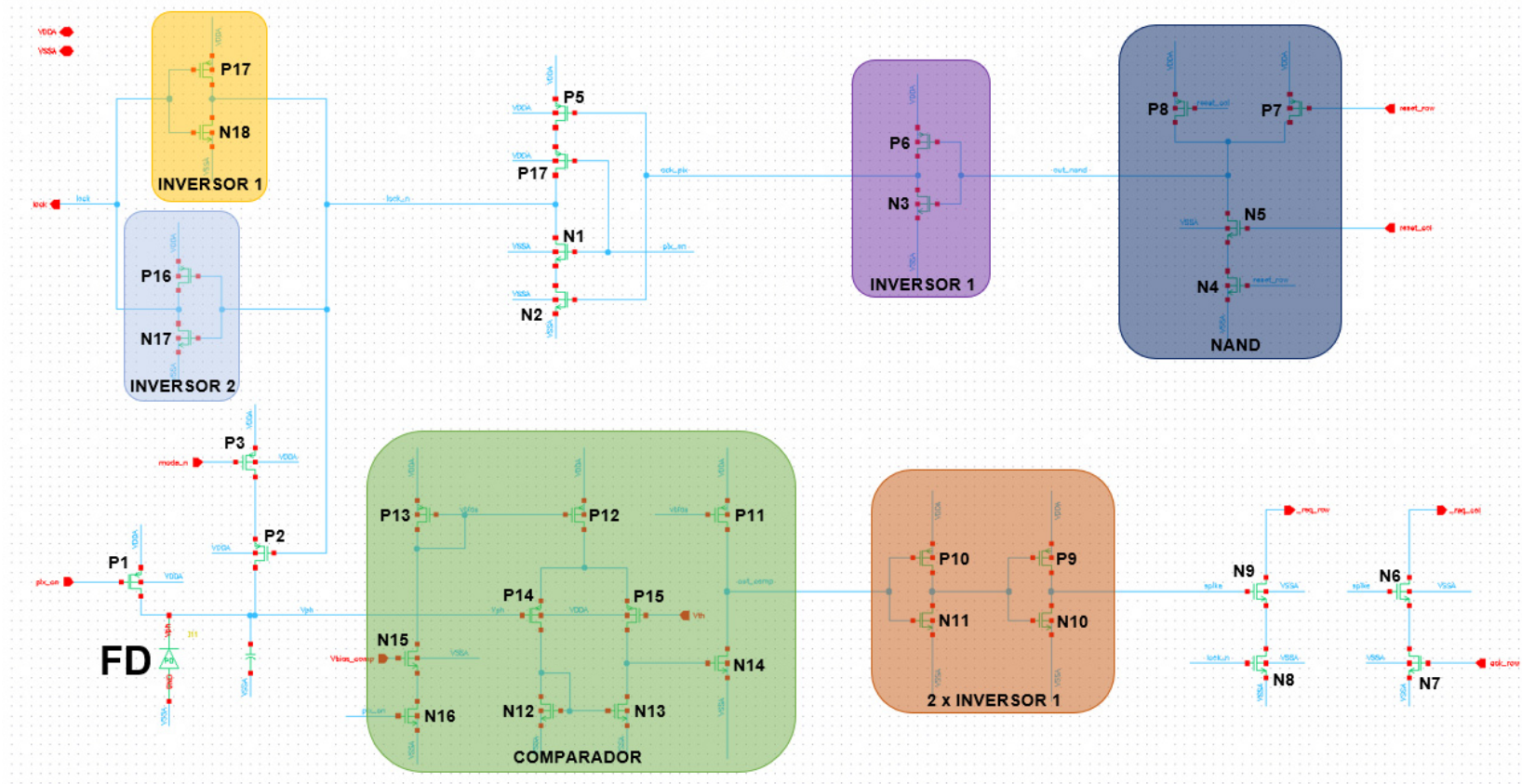


Figura 61. Esquemático del pixel. Identificación de transistores.

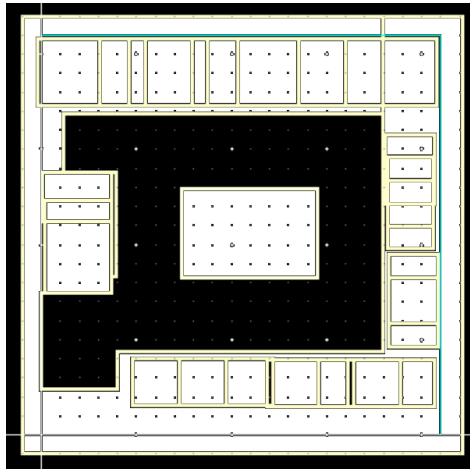


Figura 62. Layout del píxel. Sustrato P y pozos N.

El píxel tiene una isla central dopada con impurezas tipo n, formando lo que se llama un pozo n. Alrededor de dicha isla hay un donut de sustrato (tipo p) y alrededor de este último de nuevo otro pozo n. La isla central forma el fotodiodo, el donut de sustrato tipo p es el área reservada para los transistores NMOS y el donut exterior de tipo n es el área reservada para los PMOS (ver Figura 62). De esta manera cada píxel comparte el pozo tipo n exterior con los 8 píxeles vecinos (ver Figura 63), esto nos ayuda a consumir menos área dado que entre pozos de tipo n hay que dejar una distancia mínima obligatoria recogida en el DRM.

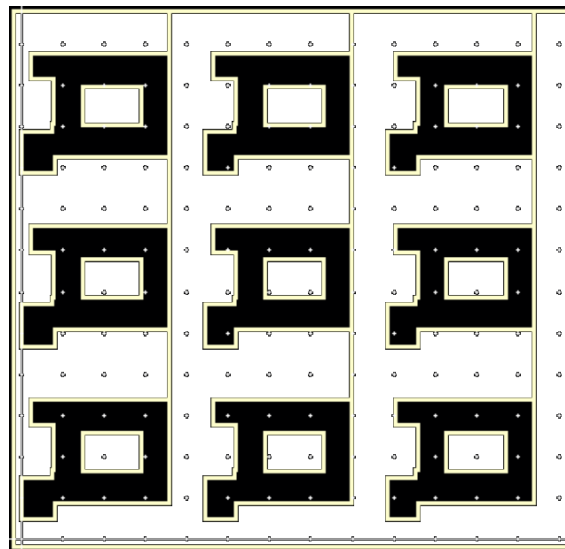


Figura 63. Layout de una matriz de píxeles 3x3. Sustrato p y pozos n.

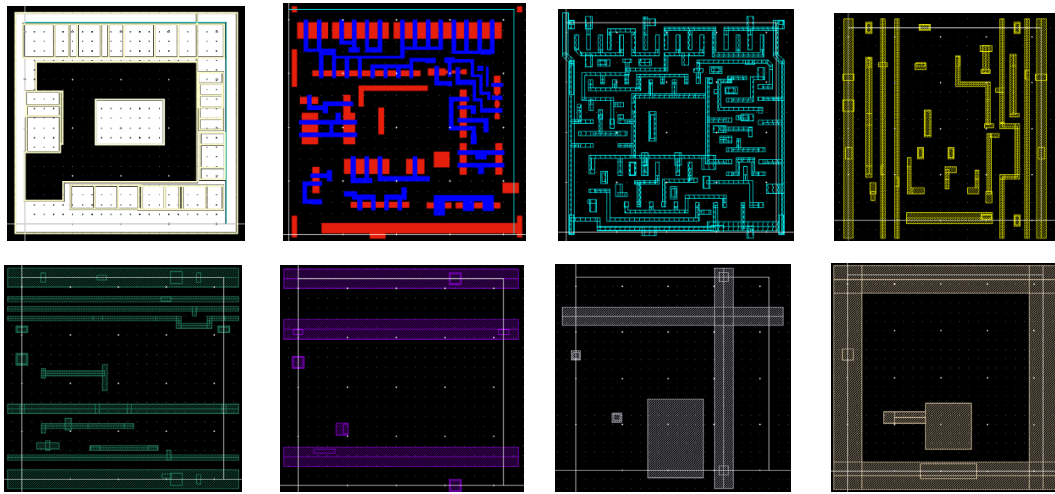


Figura 64. Layout del píxel. Diferentes capas. De izquierda a derecha y de arriba abajo: Dopado del sustrato, Poly (azul) y difusiones (rojo), metal 1, metal 2, metal 3, metal 4, metal 5, metal 6.

La Figura 64 tiene 8 capturas del píxel, cada una muestra una capa diferente menos la segunda que muestra dos. De izquierda a derecha y de arriba abajo tenemos: los pozos n, el poli silicio de las puertas de los transistores en azul y la región reservada para hacer las difusiones en rojo, capa del primer nivel de metal, capa del segundo nivel de metal, capa del tercer nivel de metal, capa del cuarto nivel de metal, capa del quinto nivel de metal y capa del sexto y último nivel de metal.

- **Primer nivel de metal (ME1):** Este nivel se usa para las conexiones entre terminales de transistores y contacto a sustrato.
- **Segundo nivel de metal (ME2):** Este nivel se fabrica encima del primero y se ha usado para algunas conexiones entre transistores y para las pistas de las señales *pix_on* y *Vth* que son compartidas por todos los píxeles y las señales *reset_col* y *_req_col* que se comparten por columnas.
- **Tercer nivel de metal (ME3):** para la señal global *mode_n* y las señales compartidas por filas *reset_row*, *ack_row* y *_req_row*.
- **Cuarto nivel de metal (ME4):** Se usa para la señal global *Vbias_comp* que se ha puesto más ancha que las anteriores para evitar demasiada caída óhmica.
- **Quinto nivel de metal (ME5):** Se usa para crear una malla de alimentación (VDDA) y para implementar uno de los terminales del condensador de tipo "MIMCAPS_MM".

- **Sexto nivel de metal (ME6):** Este se usa para hacer una malla del nudo de referencia (VSSA) y para el otro terminal del condensador.

El píxel además tiene las conocidas como capas “no-dummy” de todos los metales, de poly y difusión, estas son capas lógicas que determinan un cierto área donde no se introducirán patrones de “dummies” estos son polígonos de las diferentes capas que sirven para no violar las reglas de diseño que exigen densidades mínimas de metal.

El área del fotodiodo está cubierta con una capa llamada “SAB” que sirve para mejorar la conexión entre sustrato y metal.

En la Figura 65 se puede ver el aspecto de una matriz 3x3 con todas las capas.

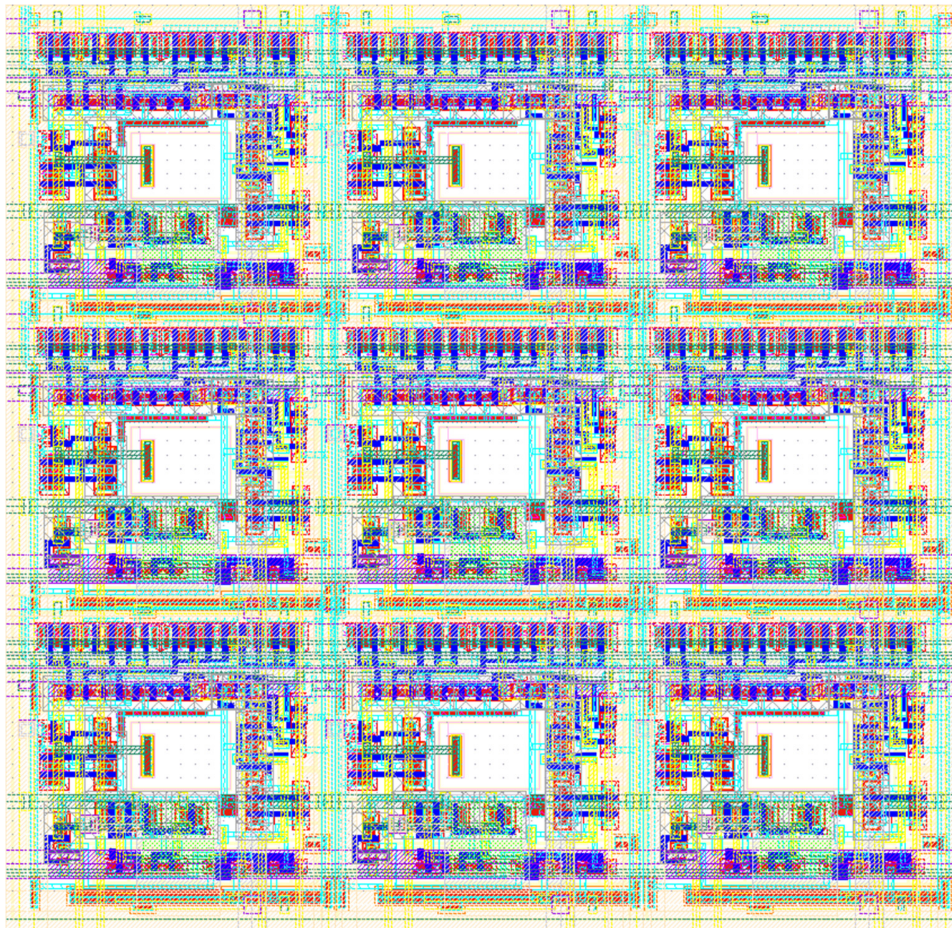


Figura 65. Layout de una matriz de pixeles 3x3. Todas las capas

5.4. LAYOUTS DE LA CIRCUITERÍA PERIFÉRICA

5.4.1. Lógica de selección

Este circuito se conecta por la izquierda con un píxel y por la derecha con un arbitrador y el multiplexor. Para el layout del bloque lógica de selección (Figura 66) se ha tenido en cuenta que su altura está limitada al pitch del píxel ($21\mu\text{m}$), para la dimensión horizontal no hay restricciones. Hay uno de estos bloques por fila y columna ($2 \times 128 = 256$). Se ha logrado implementarlo en un rectángulo de $13\mu\text{m} \times 21\mu\text{m}$. Las dos pistas de VDD y VSS van en metal 4 y tienen una anchura de $5\mu\text{m}$ cada una de tal manera que se pueden conectar con las pistas de alimentación del vecino superior e inferior.

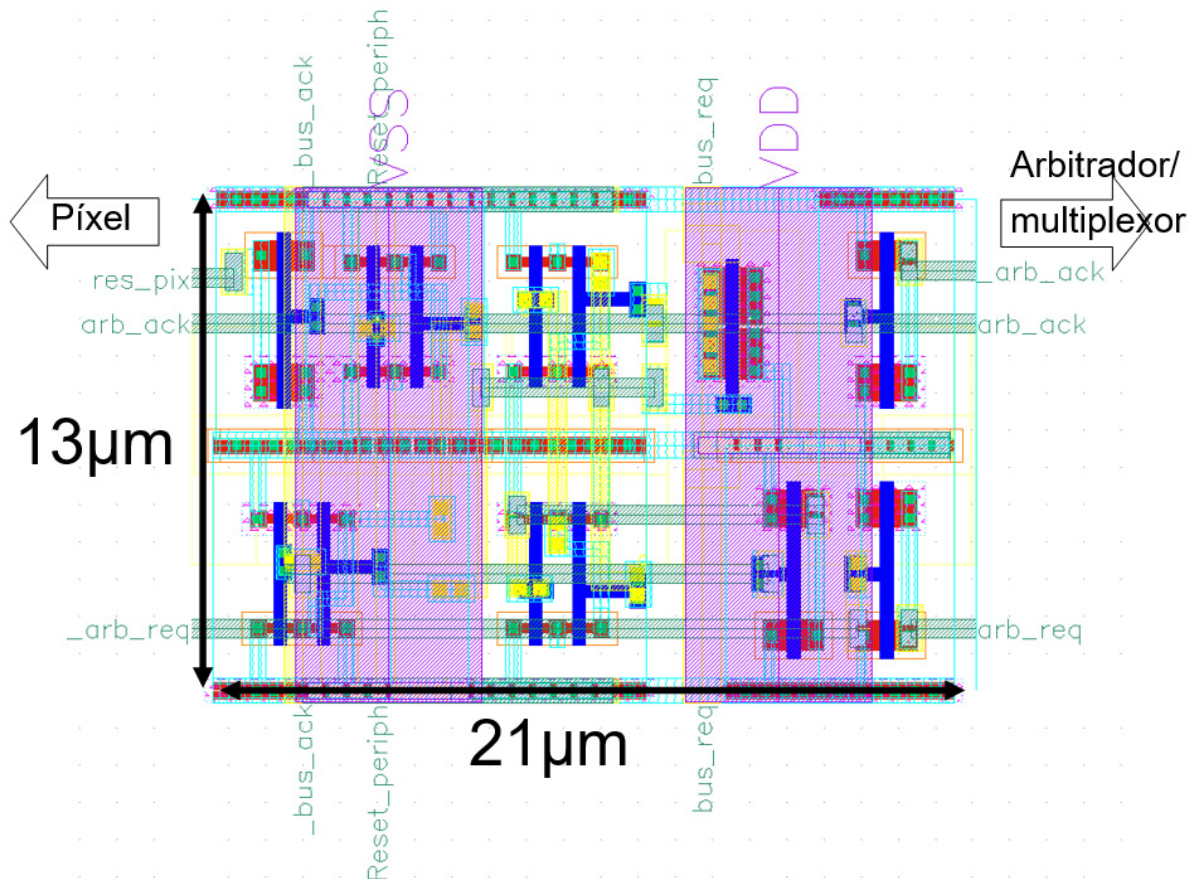


Figura 66. Layout del bloque lógica de selección.

La Figura 67 contiene 6 capturas de pantalla de las diferentes capas del bloque.

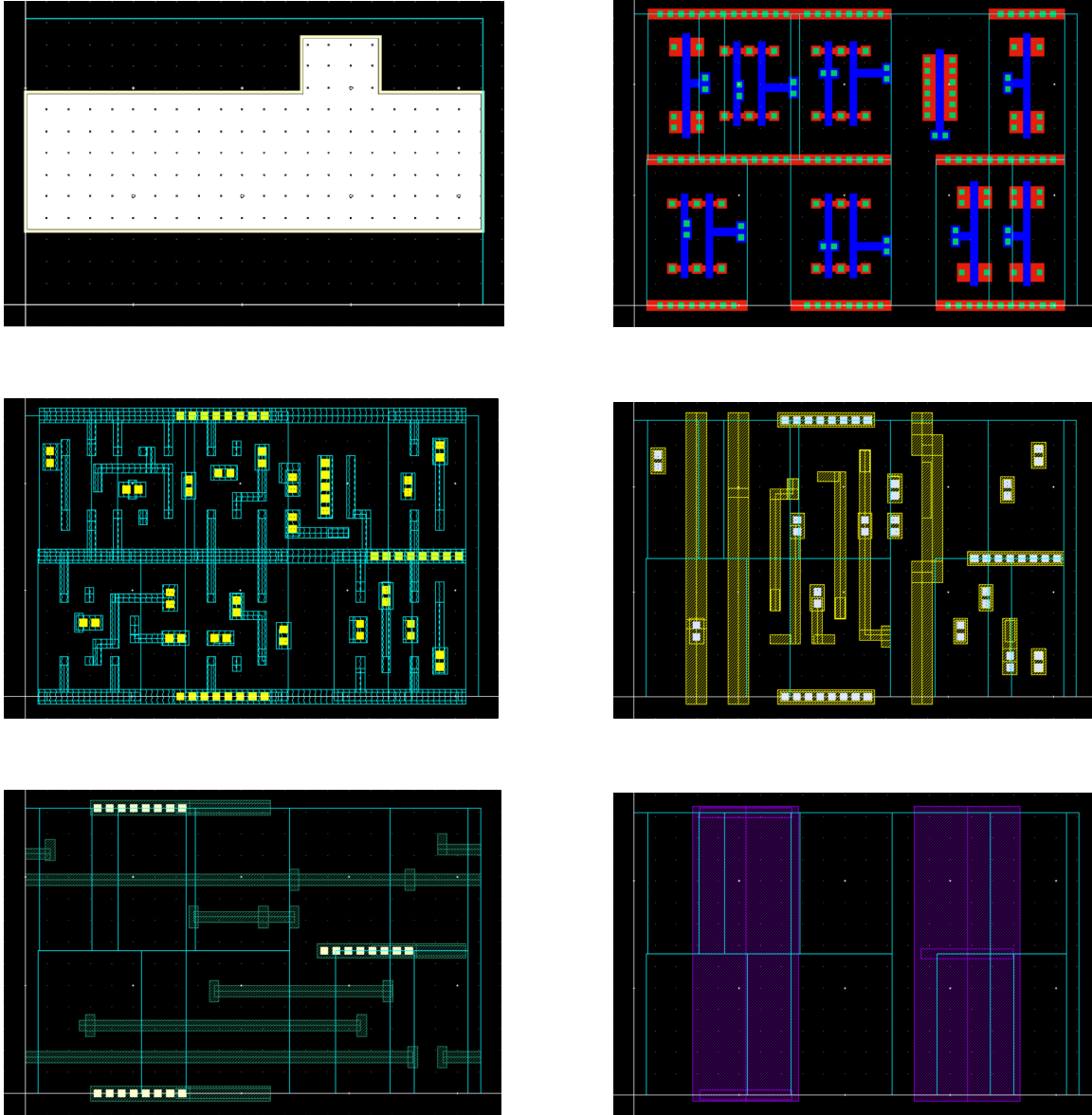


Figura 67. Layout de lógica de selección. Diferentes capas: De izquierda a derecha y de arriba abajo: Dopado del sustrato, Poly (azul) y difusiones (rojo), metal 1, metal 2, metal 3, metal 4, metal 5, metal 6.

5.4.2. Arbitrador

El arbitrador se conecta por la izquierda con dos bloques en paralelo de lógica de selección y el multiplexor y por la derecha con otro arbitrador o con él mismo si se trata del último bloque del árbol. La altura está limitada a 2 veces el pitch del píxel ($42\mu\text{m}$). Su anchura no está limitada. Se ha logrado encajar en un rectángulo de $13\mu\text{m} \times 21\mu\text{m}$ (ver Figura 68). Las pistas de alimentación son iguales que las del bloque anterior (lógica de selección). Las señales r_0 , r_1 , a_1 , a_0 , a , r están rutadas en metal 3 con una anchura de $0.5\mu\text{m}$.

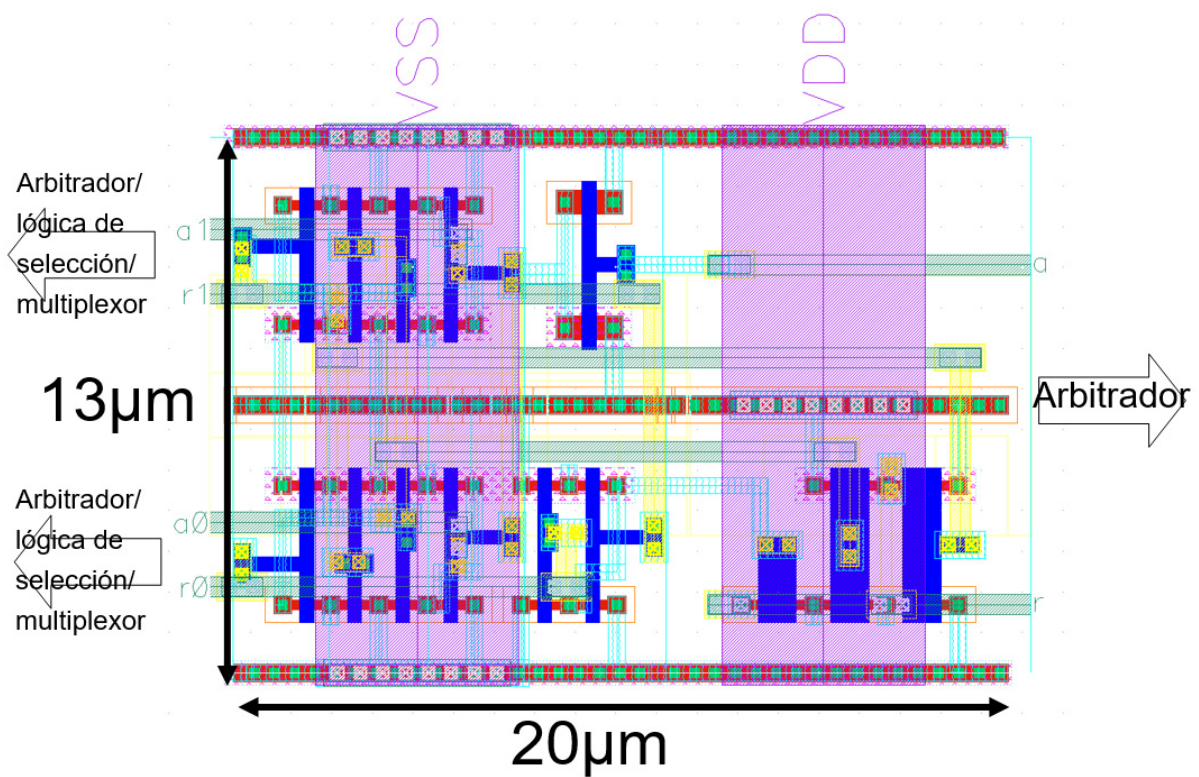
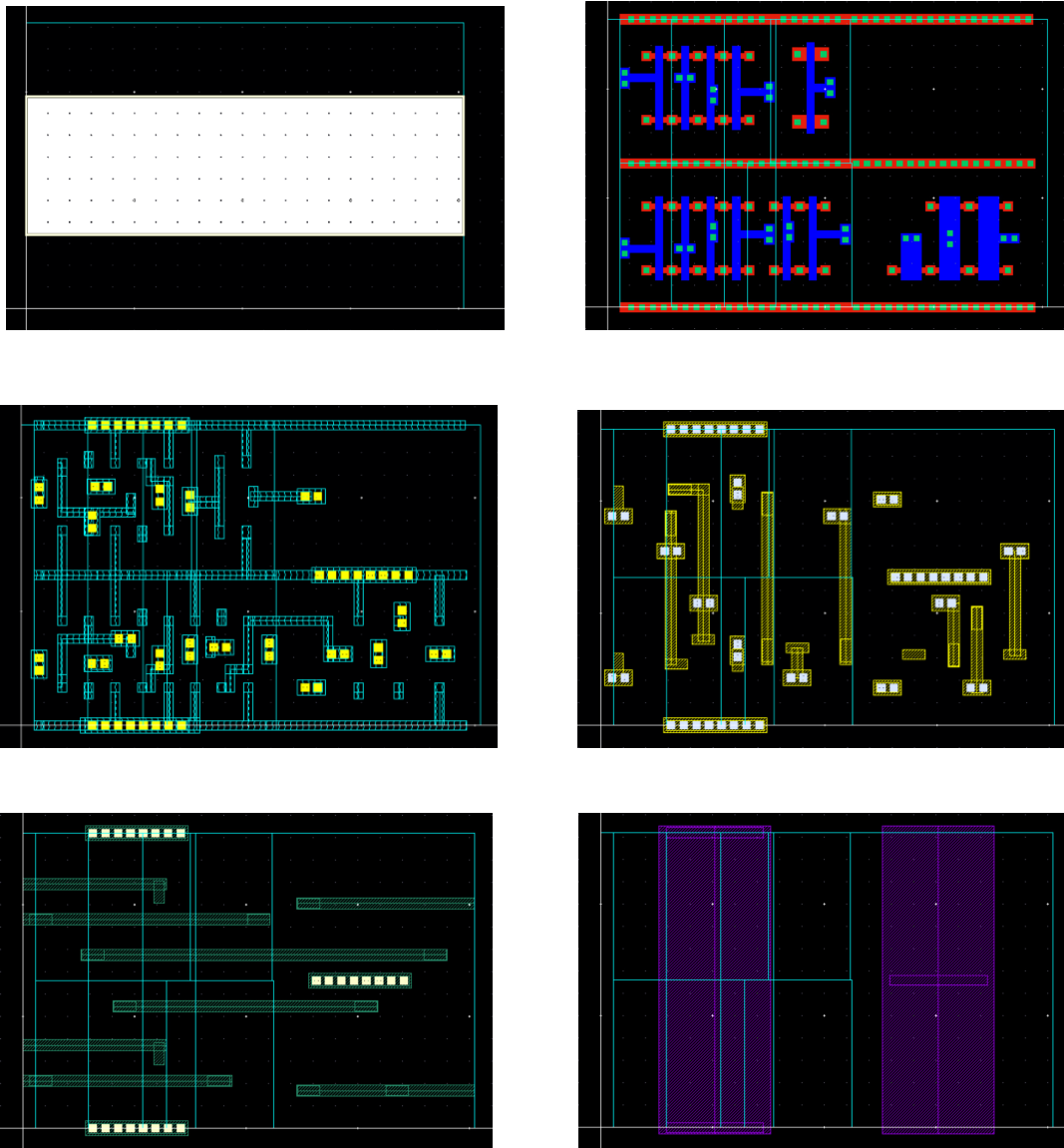


Figura 68. Layout de arbitrador.

La Figura 69 contiene 6 capturas de pantalla de las diferentes capas del bloque.



7. Figura 69. Layout de un arbitrador. Diferentes capas: De izquierda a derecha y de arriba abajo: Dopado del sustrato, Poly (azul) y difusiones (rojo), metal 1, metal 2, metal 3, metal 4, metal 5, metal 6.

5.4.3. Periferia

El layout del bloque periferia, tiene una altura de $21\mu\text{m} \times 128 = 2.688\text{mm}$ y una anchura máxima de $280\mu\text{m}$ en el centro y algo menor en los extremos. Esta jerarquía contiene 128 bloques de lógica de selección, el multiplexor de 7 bits y el árbol de arbitradores compuesto por 127 arbitradores. En la ampliación de la derecha se pueden distinguir con mayor facilidad dichos bloques.

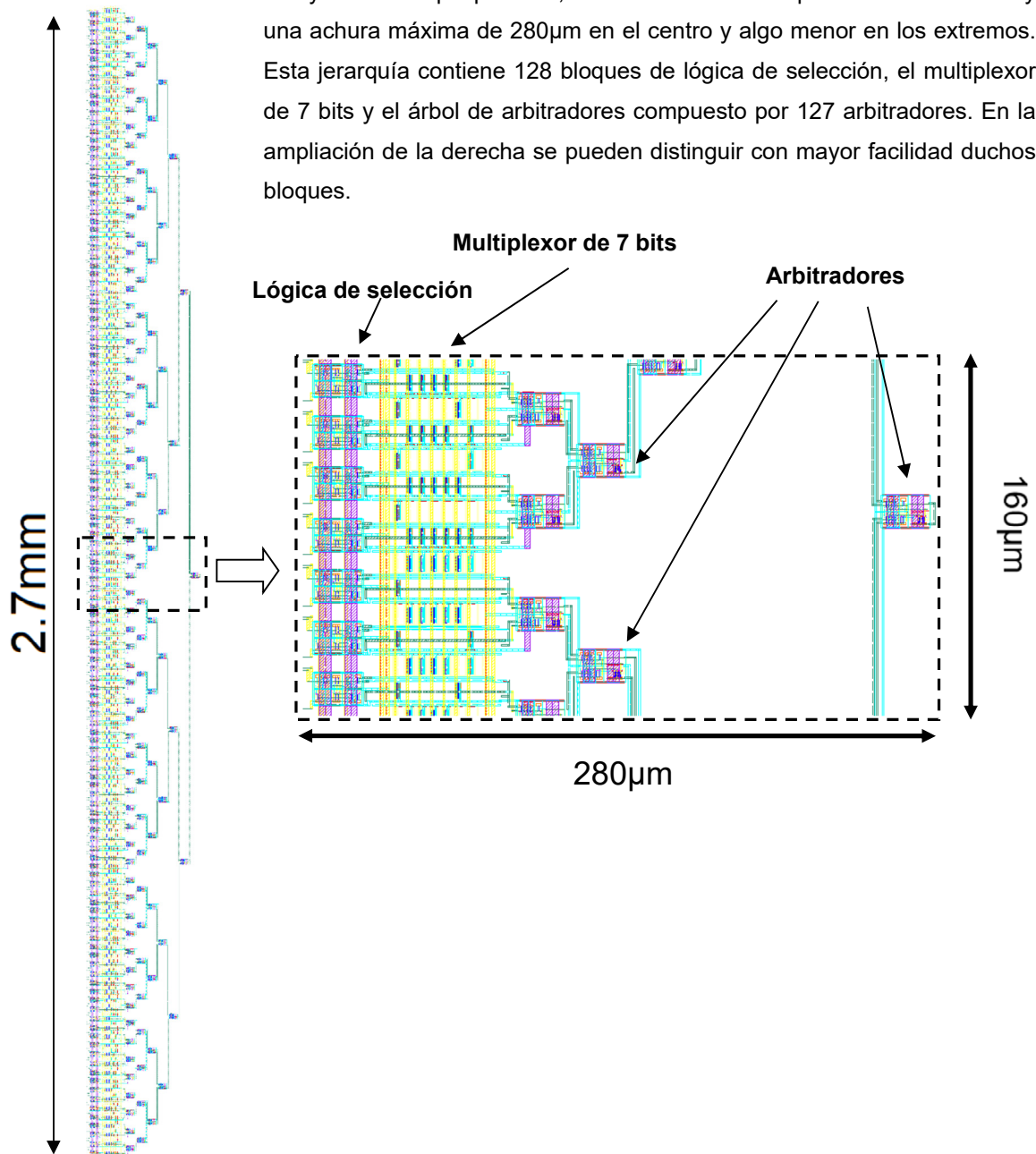


Figura 70. Layout del bloque periferia y ampliación de la zona central.

5.4.4. Matriz de píxeles y circuitería periférica

En la Figura 71 se muestra el layout de la jerarquía en la que están conectados la matriz completa de píxeles (128x128) con la periferia, como se puede observar hay 2 bloques periferia, uno por filas y otro por columnas.

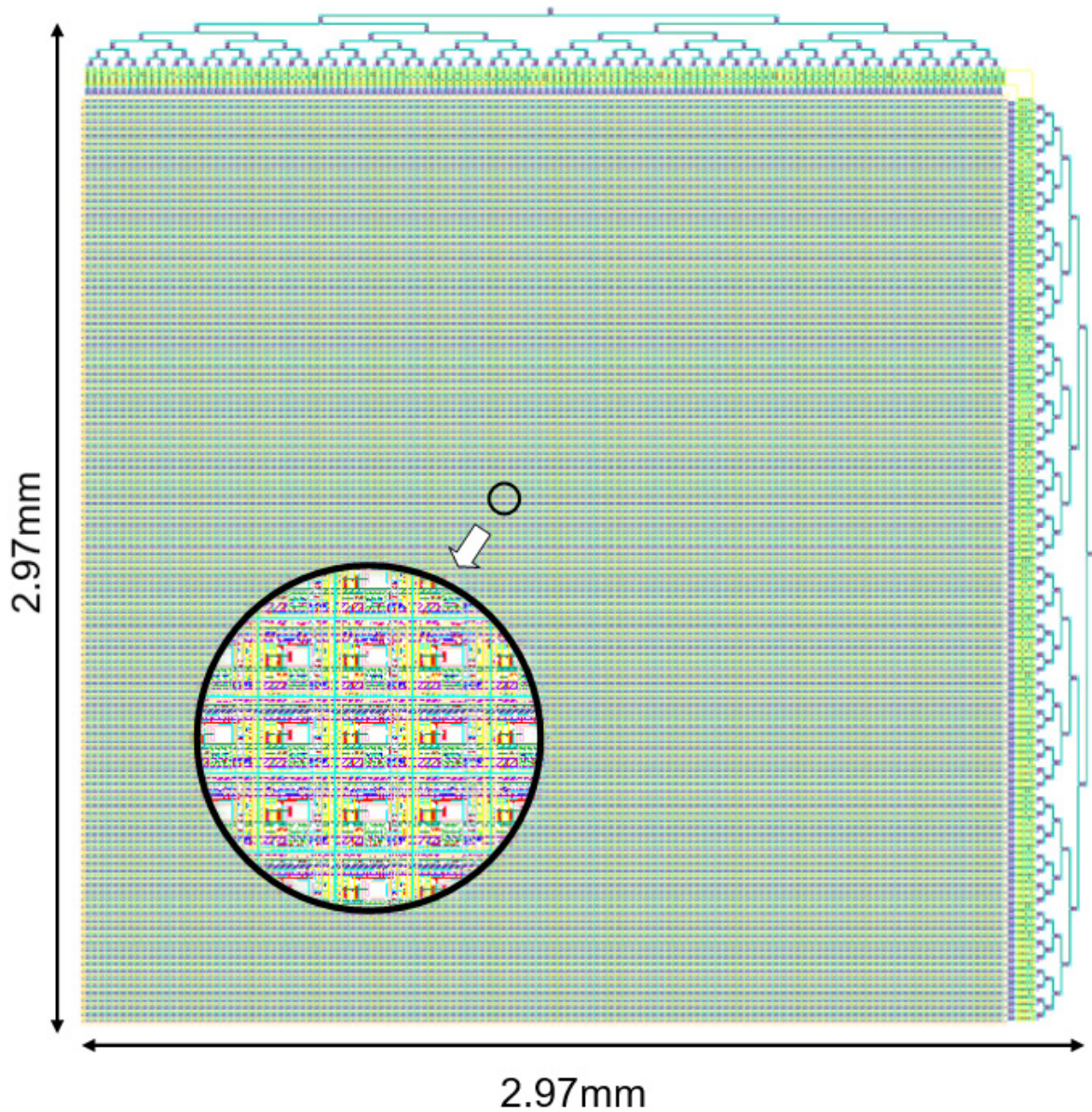


Figura 71. Layout de la matriz de 128x128 píxeles con la circuitería periférica y ampliación en la región central.

Hasta este último punto, todos los layouts pasan las verificaciones físicas (LVS, DRC y ANTENNAS).

Para la distribución de alimentaciones se han puesto un par de pistas (VDDA y VSSA) de metal 6 con un anchura de $5\mu\text{m}$ y una separación de $2\mu\text{m}$ que recorren toda la periferia de la matriz y donde se van conectando todos los píxeles. De esta manera se consigue que los niveles de alimentación sean mas uniformes.

Las pistas para las señale ***pix_on*** y ***mode_n*** y las tensiones ***Vth*** y ***Vbias_comp*** que comparte de forma global por todos los píxeles se cortocircuitan a este nivel del sensor, hasta este punto solo se compartían por filas o por columnas. Tambien se conectan a este nivel las señales compartidas por la circuitería periférica bien por filas o por columnas.

VI. TRABAJO FUTURO

Aún queda trabajo por hacer:

1. Incorporar los *pads*, conectarlos debidamente en la jerarquía de sensor y pasar verificaciones físicas. Los *pads* son estructuras especiales que sirven de conexión entre el sensor y el mundo exterior que, en general, son proporcionados por la fábrica.

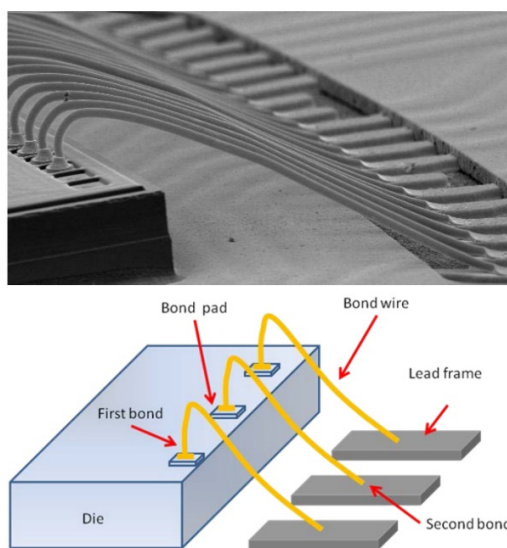


Figura 72. Detalle interconexión entre un chip (Die) y el exterior [23].

2. Realizar un extraído RC de parásitos del píxel y simular un transitorio con el banco de pruebas ya existente (ver Figura 46). Obtener diagrama temporal de las señales para ambos modos de funcionamiento (ver Figura 47 y Figura 48).
3. Realizar un modelo simplificado del píxel a partir de los datos del extraído RC y simular a nivel de sensor.

Cuando estemos en posesión del sensor habrá que ensamblarlo en la PCB²⁵. Esta ha sido diseñada y fabricada por José María Guerrero, un compañero de la universidad de Cádiz. En la Figura 73 se puede ver el diseño y fotografías de la PCB se usará para leer las salidas del sensor y mandarlas a un PC. Es una versión mejorada y más compacta que la placa USBAERmini2 [7]. Incorpora un módulo bluetooth para transmisión inalámbrica y se han quitado conectores que estaban obsoletos y ocupaban espacio. Una vez hecho esto habrá que conectarlo a un equipo, programar los estímulos, tomar medidas para caracterizarlo y publicar los resultados.

²⁵ En electrónica, una "placa de circuito impreso" (del inglés: *Printed Circuit Board*, PCB), es una superficie constituida por caminos, pistas o buses de material conductor laminadas sobre un dieléctrico.

A nivel personal, este proyecto me ha permitido formar parte de un equipo distinguido de científicos e ingenieros de renombre internacional, enriqueciendo notablemente mi carrera profesional. Conocer este tipo de sensores ha expandido los horizontes de mis conocimientos en la materia y me ha mostrado un nuevo campo que resulta ser realmente interesante desde un punto de vista conceptual e industrial.

Hasta ahora solo existen prototipos de este tipo de sensor, pero sin duda se presenta como el candidato perfecto para convertirse, dentro de algunos años, en un estándar dentro del campo de los sensores solares.

Me gustaría agradecer a mi tutor Juan Antonio Leñero-Bardallo todo el esfuerzo y la dedicación como director de este trabajo, así como su pasión por la ciencia, la innovación y la tecnología.

VII. REFERENCIAS

- [1] A. Jenkins, “**The Sun’s position in the sky**”, in *Eur. J. Phys.* 34, 633 (2013).
- [2] <https://www.esa.int/>
- [3] F.J. Delgado, J.M. Quero, J. García, C. L. Tarrida, J. M. Moreno, A. G. Sáez P. Ortega, “**SENSOSOL: MultiFOV4-Quadrant high precision sun sensor for satellite attitude control**”, 2015. Dept. de Ingeniería Electrónica Universidad de Sevilla. Grupo de Micro y Nanotecnologías Universidad Politécnica de Cataluña.
- [4] www.solar-mems.com/
- [5] F. J. Delgado, J. M. Quero, J. García, C. L. Tarrida, P. R. Ortega, S. Bermejo, “**Accurate and Wide-Field-of-View MEMS-Based Sun Sensor for Industrial Applications**”, *IEEE Trans. On Industrial Electronics*, vol. 59, no. 12, pp. 4871-4880, Dec 2012.
- [6] T. Kuroda, “**Essential Principles of Image Sensors**”, CRC Press 2017.
- [7] L. Farian, J. A. Leñero-Bardallo and P. Häfliger ,“**A Bio-Inspired AER Temporal Tri-Color Differentiator**”.
- [8] L. Farian, J. A. Leñero-Bardallo and P. Häfliger ,“**Live Demonstration: A Bio-Inspired AER Temporal Tri-Color Differentiator**”.
- [9] J. A. Leñero-Bardallo, “**Event-based vision sensors: Present and past activity**”, ETH Zurich. Course in Neuromorphic Engineering.
- [10] K. A. Boahen, “**Point-to-point connectivity between neuromorph chips using address events**”, *IEEE Trans. Circuits Sys. II, Analog Digit. Signal Process.*, vol. 47, no. 5, pp. 416-434, May 2000.
- [11] J. A. Leñero-Bardallo, F. Pérez-Peña, R. Carmona-Galán, and Á. Rodríguez-Vázquez, “**Pipeline AER arbitration with event aging**”, in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), Baltimore, MD, USA, Mar. 2017, pp.1-4
- [12] E. R. Fossum, “**Active Pixel Sensors: Are CCD’s Dinosaurs?**” 1992. Jet Propulsion Laboratory, California Institute of Technology.
- [13] L. Farian, P. Häfliger, and J. A. Leñero-Bardallo, “**Miniaturized sun sensor with in-pixel processing for attitude determination of micro space probes**”, in *Proc. Int. Conf. Event-Based Control, Commun., Signal Process. (EBCCSP)*, Jun. 2015, pp. 1-6.
- [14] N. Xie y A. Theuwissen, “**A miniaturized micro-digital sun sensor by means of low-power low-noise CMOS imager**”, *IEEE Sensors Journal*, vol. 14, no. 1, pp. 96-103, Jan. 2014.
- [15] J. A. Leñero-Bardallo, R. Carmona-Galán, and Á. Rodríguez-Vázquez, “**A bio-inspired vision sensor with dual operation and readout modes**”, *IEEE Sensors Journal*, vol. 16, no. 2, pp. 1-14, Jan. 2016.
- [16] P. Filip y A. Kasinski ”**Introduction to spiking neural networks: Information processing, learning and applications**”, in *Acta neurobiologiae experimentalis*, 71.4, pp. 409-433.
- [17] F. Boldrini et al., “**Attitude sensors on a chip: Feasibility study and readboarding activities**”, in *Proc. 32nd Annu. AAS Guid. Control Conf.*, Feb 2009, pp. 1197-1216.
- [18] J. A. Leñero-Bardallo, L. Farian, J.M. Guerrero-Rodríguez, R. Carmona-Galán, A. Rodríguez-Vázquez, “**Sun Sensor Based on a Luminance Spiking Pixel Array**”, *IEEE Sensors Journal*, vol. 17, no. 20, pp. 6578-6588, Oct. 2017.
- [19] Adel S. Sedra, “**Microelectronics circuits**”, (6th ed.), Oxford University Press 2010.
- [20] B. Razavi, “**Design of Analog CMOS Integrated Circuits**”, McGraw Hill Education (India) Edition 2002.
- [21] P.H. Juan A. Leñero Bardallo, “**Neuromorphic Electronics: Lecture Notes**”, Fall 2012 [Available at]: <http://www.uio.no/studier/emner/matnat/ifi/INF5470/h12/timeplan/index.html>

- [22] Chia-Chun, Chung-Chieh Kuo, Feng-Tzu Hsu, Trong-Yen Lee, "**Discharge-path-based antenna effect detection and fixing for X-architecture clock tree**", INTEGRATION, the VLSI journal.
- [23] Jyh-Horng Chou et al., "**Optimal Parameter Design for IC Wire Bonding Process by Using Fuzzy Logic and Taguchi Method**", in *IEEE Access*, Jan. 2016.

