



Trabajo de Fin de Máster  
“Máster Universitario en Microelectrónica:  
Diseño y Aplicaciones de Sistemas  
Micro/Nanométricos”

**Diseño de un sensor de imagen asíncrono  
autoalimentado mediante captación de energía  
solar**

Rubén Gómez Merchán  
Juan Antonio Leñero Bardallo  
Ángel Rodríguez Vázquez  
29/06/2020



*A mi familia*  
*A mis profesores*





# Agradecimientos

Deseo expresar mi más sincero agradecimiento a todas las personas que han hecho posible la realización de este trabajo, así como a las personas que siempre me han apoyado y depositado en mí toda su confianza.

A todos los profesores y profesionales que han aportado en mi formación su granito de arena. En especial a mis tutores, Juan Antonio Leñero y Ángel Rodríguez, no solo por guiarme y orientarme para lograr superar los objetivos propuestos, sino también por las oportunidades ofrecidas para continuar mi formación y por todo el conocimiento que han compartido conmigo, el cual no tiene precio.

A mi familia, por ser responsables directos de todo lo que hoy soy, así como todo lo que he podido conseguir hasta este momento, por ser mi motivación y recibir vuestro apoyo incondicional en todo lo que hago.

Finalmente, pero no por ello menos importante, a todos mis amigos y compañeros que me han ido regalando la vida, el Grado, el Máster y la PA-34. Por interesarse en todo lo que hago y todos los momentos especiales que me habéis regalado.



# Resumen

En este Trabajo de Fin de Máster se ha diseñado un sensor asíncrono con una arquitectura del tipo *Time-to-First-Spike* (TFS), cuyos píxeles son capaces tanto de absorber energía como de sensar iluminación siendo alimentados a los niveles de tensión generados por una unión PN iluminada (entre 250 mV y 500 mV), funcionando de manera autosuficiente gracias a que recolectan la energía en una capacidad externa. El sensor completo ha sido implementado a nivel de layout y ha sido enviado a fabricar.

Los píxeles explotan las ventajas de la arquitectura asíncrona del sensor para conmutar los fotodiodos correspondientes de los píxeles ya leídos (los más iluminados) a la región fotovoltaica, de manera que contribuyan a la alimentación durante la operación. El principal reto encontrando a la hora del diseño, fue lograr que el píxel fuese capaz de funcionar a niveles tan bajos de tensión con un consumo reducido, sin penalizar excesivamente el área. Para ello, se realizó el estudio detallado de un comparador trabajando en inversión débil, único elemento analógico presente en el píxel.

Posteriormente, se presentaron los bloques que componen la periferia: Un árbol de arbitradores y lógica de selección para implementar el protocolo *Address Event Representation* (AER) y dos registros de desplazamiento para poder seleccionar una Región de Interés (ROI) a la hora de sensar imagen, mientras que el resto de píxeles contribuyen a la alimentación.

Por último, se realizaron las simulaciones eléctricas que se consideraron adecuadas para verificar el funcionamiento del sensor bajo tres escenarios distintos, además de realizar una estimación tentativa de la imagen que podría obtenerse tras modelar el comportamiento del píxel con herramientas de cálculo numérico. Se realizó una breve caracterización de los parámetros más representativos del sensor, obteniendo un *Fixed-Pattern Noise* (FPN) de aproximadamente entre el 4% y el 10%, en función del número de colisiones.



# Abstract

In this Master's Thesis, a Time-to-First-Spike (TFS) image sensor has been proposed, whose pixels are capable of both harvesting energy and sensing image powered at the low voltage levels generated by an illuminated PN junction (between 250 mV and 500 mV) in a self-powered way thanks to collecting energy in an external capacitor. The entire sensor has been implemented at the layout level and has been sent to manufacture.

The designed pixel exploits the advantages of asynchronous architecture to switch the photodiodes of read pixels (those more illuminated) to the photovoltaic region, in order to contribute to the power supply during operation. The main design challenge was to make the pixel able to work at such low voltage levels and reduced power consumption, without excessively penalizing the area. In consequence, a detailed study of a comparator working on weak inversion (the only analog block within the pixel) was carried out.

Subsequently, peripheral blocks were presented, including an arbitration tree and selection logic to implement the Address Event Representation (AER) protocol and two shift registers that allow the selection of a Region of Interest (ROI) where the pixels detect the image while the rest of the array harvests energy.

Finally, several electrical simulations were run to validate the sensor performance under three different scenarios, as well as by numerical tools to make a rough estimation of the image that could render the sensor. Also, a brief characterization of the sensor was performed, showing a Fixed Pattern Noise (FPN) between 4% and 10%, approximately.



# Índice general

Resumen	vii
Abstract	ix
Índice	ix
Índice de tablas	xii
Índice de figuras	xiii
Lista de abreviaturas	xvi
<b>1. Introducción</b>	<b>1</b>
1.1. Motivación y objetivos . . . . .	1
<b>2. Marco teórico</b>	<b>5</b>
2.1. Física del estado sólido . . . . .	5
2.1.1. Sólidos conductores, semiconductores y aislantes . . . . .	5
2.1.2. La unión PN . . . . .	6
2.1.3. Interacción luz-semiconductor . . . . .	7
2.2. Sensores de imagen y sensores de visión CMOS . . . . .	8
2.2.1. Sensores síncronos: El píxel APS . . . . .	9
2.2.2. Sensores asíncronos . . . . .	10
2.3. Recolección de energía solar . . . . .	12
2.3.1. Diferencias entre IC y PV . . . . .	12
2.3.2. Limitaciones prácticas en ICs . . . . .	13
2.3.3. Estado del arte en CIS . . . . .	14
<b>3. Estructura del píxel</b>	<b>17</b>
3.1. Ventajas a explotar de las estructuras asíncronas . . . . .	17
3.2. Entradas y salidas . . . . .	18
3.3. Esquemático del píxel . . . . .	19
3.4. Descripción de la operación . . . . .	20
3.4.1. Captación de energía . . . . .	20
3.4.2. Reset del fotodiodo . . . . .	20
3.4.3. Integración de carga . . . . .	22
3.4.4. Petición de lectura . . . . .	23
3.5. Celda de memoria . . . . .	24
3.6. Comparador . . . . .	25
3.6.1. Simulación del comparador . . . . .	26
3.6.2. Análisis Montecarlo . . . . .	27

3.6.3. Layout del comparador . . . . .	30
3.7. Fotodiodo . . . . .	30
3.8. Layout del píxel . . . . .	31
3.9. Simulación del píxel . . . . .	33
<b>4. Estructura del sensor</b>	<b>37</b>
4.1. Arbitración y comunicación AER . . . . .	37
4.1.1. Buffers de entrada y salida . . . . .	37
4.1.2. Level Shifters . . . . .	39
4.1.3. Lógica de comunicación AER . . . . .	40
4.1.4. Encoder . . . . .	41
4.1.5. Árbol de arbitración . . . . .	41
4.2. Selección de la ROI . . . . .	43
4.2.1. Registro de desplazamiento . . . . .	44
4.3. Interruptor de alimentación . . . . .	45
4.4. Layout del sensor completo . . . . .	46
<b>5. Resultados de simulación</b>	<b>47</b>
5.1. Verificación funcional . . . . .	48
5.1.1. Escenario 1: Iluminación uniforme y elevada . . . . .	48
5.1.2. Escenario 2: Iluminación uniforme y baja . . . . .	48
5.1.3. Escenario 3: Iluminación no uniforme . . . . .	50
5.2. Estimación de imagen . . . . .	51
5.2.1. Estimación mediante simulación eléctrica: Fixed Pattern Noise . . . . .	51
5.2.2. Estimación mediante simulación eléctrica: Imagen Patrón . . . . .	53
5.2.3. Estimación mediante métodos numéricos . . . . .	53
5.3. Resumen de características . . . . .	56
<b>6. Conclusiones y trabajo futuro</b>	<b>59</b>
<b>Bibliografía</b>	<b>60</b>



# Índice de tablas

3.1. Tamaño de los transistores del comparador. . . . .	26
3.2. Características del comparador del píxel. . . . .	26
3.3. Análisis Montecarlo del tiempo de comparación. . . . .	29
5.1. FPN obtenido en los Escenarios 1 y 2 (Sin comprimir). . . . .	52
5.2. FPN obtenido en los Escenarios 1 y 2 (Comprimido). . . . .	52
5.3. Condiciones de operación en las simulaciones de la Figura 5.6. . . . .	54
5.4. RMSE en códigos digitales (0-255) de las imágenes obtenidas respecto a las originales. . . . .	56
5.5. Comparación de las características del sensor. . . . .	57



# Índice de figuras

1.1. Mapa representativo del tiempo entre lectura del píxel y lectura del plano completo en un intervalo de tiempo $T$ de: a) un sensor síncrono leído por columnas, b) un sensor asíncrono. Los píxeles más saturados representan menor tiempo de inactividad. . . . .	2
2.1. Diagrama de bandas de a) un metal, b) un semiconductor, c) un aislante. . . . .	6
2.2. Diagrama de bandas de una unión PN en equilibrio. . . . .	6
2.3. a) Símbolo del diodo y referencias de corriente y tensión. b) Curva I-V del diodo. c) Curva I-V del diodo al aumentar el flujo de fotones recibido. . . . .	7
2.4. a) Referencias utilizadas en el diodo como celda fotovoltaica. b) Curva I-V. d) Curva P-V. . . . .	8
2.5. Primera imagen conservada de la historia: "La cour du domaine du Gras" de Joseph-Nicéphore Niépce (1826) [20]. . . . .	9
2.6. a) Píxel 3T-APS. b) Píxel 4T-APS. . . . .	10
2.7. Implementación de un píxel capaz de generar pulsos en función de la iluminación. . . . .	11
2.8. a) Esquema básico de extracción de energía en un sistema PV. b) Esquema básico de recolección de energía en un IC. . . . .	13
2.9. Configuraciones de diodos posibles con ambos terminales accesibles en una tecnología a) CMOS estándar, p+/n-well, b) Triple pozo, p-well/DNW y c) Igual que anterior pero añadiendo diodo n+/p-well. . . . .	15
3.1. Entradas y salidas del píxel. . . . .	18
3.2. Esquemático del píxel propuesto. $M_{n,1-3}=0.44/0.4$ , $M_{pR,1,2}=0.5/0.44$ , $M_{n,4,5} = 5,7/0,18$ y $M_{n,6,7} = 0,44/0,18$ . Toda las celdas lógicas tienen el mismo tamaño de transistor (para P y para N) igual a $0.44/0.3$ . . . . .	19
3.3. Posibles estados durante la operación, en función de las señales <i>pix_on</i> y <i>reset</i> . . . . .	20
3.4. a) Captación de energía del píxel. El ánodo del fotodiodo se conecta al nodo $V_{EH}$ cuando <i>lock</i> se encuentra a nivel alto y <i>FR</i> a nivel bajo. b) Reset del fotodiodo. El cátodo del fotodiodo se precarga a la tensión de alimentación. . . . .	21
3.5. Puerta lógica empleada para generar la señal <i>rst_pix</i> . . . . .	21
3.6. a) Lógica de reset cuando $FR = 0$ . b) Lógica de reset cuando $FR = 1$ . . . . .	22
3.7. Integración de carga en el fotodiodo. La salida del comparador se encuentra a nivel alto si la tensión del cátodo del fotodiodo se encuentra por debajo de $V_{th}$ y viceversa. . . . .	23
3.8. Cronograma de las señales involucradas en la operación del píxel con <i>pix_on</i> = 1. Nótese que se han supuesto instantáneas las transiciones y no se ha incluido ningún retraso entre señales salvo el retraso en la señal <i>ack_row</i> . . . . .	24
3.9. Latch SR utilizado en el píxel. . . . .	25
3.10. Comparador utilizado en el píxel. . . . .	26
3.11. a) Tiempo de comparación relativo al tiempo de integración para diferentes valores de alimentación con $V_{th} = V_{DD}/2$ . b) Detalle en las últimas tres décadas. . . . .	28

3.12. a) Tiempo de comparación relativo al tiempo de integración en los distintos corners para $V_{DD} = 300 \text{ mV}$ y $V_{th} = 150 \text{ mV}$ . b) Detalle en las últimas tres décadas. $ff$ : fast-fast, $fnsp$ : fast n-slow p, $snfp$ : slow n-fast p, $ss$ : slow-slow. . . . .	28
3.13. a) Tiempo de comparación relativo al tiempo de integración para diferentes valores de $V_{th}$ . b) Detalle en las últimas tres décadas. . . . .	28
3.14. Análisis Montecarlo del comparador para un tiempo de bajada correspondiente a una corriente de a)100 fA. b)100 pA . . . . .	29
3.15. Layout del comparador del píxel . . . . .	30
3.16. a) Configuración de fotodiodo con ambos terminales accesibles. b) Circuito equivalente. c) Circuito equivalente en recolección de energía. El diodo $D_3$ se encuentra cortocircuitado. d) Circuito equivalente en el periodo de integración. . . . .	31
3.17. Layout del fotodiodo utilizado. . . . .	32
3.18. a) Layout del píxel completo. b) Diferentes bloques que forman el píxel. . . . .	32
3.19. Simulación del píxel con $I_{ph} = 50 \text{ pA}$ , $V_{oc} \simeq 350 \text{ mV}$ y $V_{th} = 175 \text{ mV}$ para: a) $FR = 0$ ( <i>Time-to-First-Spike</i> ). b) $FR = 1$ ( <i>Free-Running</i> ). . . . .	34
3.20. Relación entre el tiempo de disparo del comparador y la fotocorriente para los diferentes corners. $ff$ : fast-fast, $fnsp$ : fast n-slow p, $snfp$ : slow n-fast p, $ss$ : slow-slow. . . . .	35
4.1. Esquema conceptual de la estructura del sensor. . . . .	38
4.2. a) Esquemático del bloque unitario por píxel. b) Layout de la celda. . . . .	39
4.3. a) Esquemático del level shifter utilizado. b) Layout del bloque. . . . .	39
4.4. a) Esquemático de la lógica de comunicación AER. b) Layout del bloque. . . . .	40
4.5. a) Ejemplo de esquemático de encoder para 3 bits. c) Ejemplo de tres celdas del layout utilizado (7 bits). . . . .	41
4.6. a) Bloque básico de arbitración. b) Árbol de tres arbitradores. c) Distribución optimizada en área de árbol de arbitradores. . . . .	42
4.7. a) Esquemático del arbitrador escogido. b) Layout del arbitrador. . . . .	43
4.8. a) Ejemplo de selección de ROI. b) Ejemplo de selección de ROI inválido. Los píxeles A y C no se pueden activar sin activar el píxel B. . . . .	44
4.9. a) Esquemático del biestable utilizado. b) Layout del biestable, junto a la puerta AND. . . . .	44
4.10. a) Esquemático del interruptor de alimentación. b) Layout del interruptor. . . . .	45
4.11. a) Layout del sensor completo. b) Bloques que forman el sensor. . . . .	46
5.1. a) Simulación de matriz de $4 \times 4$ píxeles en Escenario 1: iluminación uniforme y elevada. b) Detalle durante la lectura. Todos los ejes se han representado en $mV$ . . . . .	49
5.2. Simulación de matriz de $4 \times 4$ píxeles en a) Escenario 2: Iluminación uniforme y baja. b) Escenario 3: iluminación no uniforme. Todos los ejes se han representado en $mV$ . . . . .	50
5.3. Imagen obtenida con una misma corriente en todos los píxeles de: a) 100 fA sin variaciones geométricas. b) 100 pA sin variaciones geométricas. c) 100 fA incluyendo variaciones geométricas. d) 100 pA incluyendo variaciones geométricas. . . . .	52
5.4. a) Imagen patrón a simular. b) Imagen obtenida sin incluir variaciones geométricas. c) Imagen obtenida incluyendo variaciones geométricas. . . . .	53
5.5. Diagrama de flujo del algoritmo para estimar la lectura de una imagen. . . . .	54
5.6. Imagen original e imagen obtenida para: a) $V_{EH} = 450 \text{ mV}$ y $I_{ph} \in [100 \text{ fA}, 100 \text{ pA}]$ . b) $V_{EH} = 350 \text{ mV}$ y $I_{ph} \in [50 \text{ fA}, 50 \text{ pA}]$ . c) $V_{EH} = 500 \text{ mV}$ y $I_{ph} \in [100 \text{ fA}, 1 \text{ nA}]$ . . . . .	55
5.7. a) Patrón. b) Salida del modelo numérico. . . . .	56

# Lista de abreviaturas

**ADC** Analog to Digital Converter.  
**AER** Address Event Representation.  
**APS** Active Pixel Sensor.  
**BQJ** Buried Quad Junction.  
**CCD** Charge Coupled Device.  
**CDS** Correlated Double Sampling.  
**CIS** CMOS Image Sensor.  
**CMOS** Complementary Metal-Oxide-Semiconductor.  
**CMS** Correlated Multiple Sampling.  
**DAVIS** Dynamic and Active-pixel Vision Sensor.  
**DC** Direct Current.  
**DNW** Deep N-Well.  
**DRC** Design Rules Check.  
**DVS** Dynamic Vision Sensor.  
**FMPPT** Flexible Power Point Tracking.  
**FPN** Fixed Pattern Noise.  
**FPS** Frames per second.  
**FR** Free Running.  
**GBW** Gain-Bandwidth Product.  
**IC** Integrated Circuit.  
**IRDS** International Roadmap for Devices and Systems.  
**LVS** Layout vs Schematic.  
**MPP** Maximum Power Point.  
**MPPT** Maximum Power Point Tracking.  
**OTA** Operational Transconductance Amplifier.  
**PV** Photovoltaic.  
**PVVC** PV Voltage Controller.  
**PVVRC** PV Voltage Reference Calculator.  
**PWM** Pulse Width Modulation.  
**ROI** Region of Interest.  
**SA** Sample Acronym.  
**TFS** Time-to-First-Spike.  
**UMC** United Microelectronics Corporation.



# Capítulo 1

## Introducción

El constante crecimiento y desarrollo de la electrónica de consumo, ha conseguido incluir en todos los hogares multitud de dispositivos con capacidades de sensado y procesamiento. A día de hoy, resulta impensable que un dispositivo electrónico como puede ser un teléfono móvil, ordenador personal o tableta, no cuente con un sensor de imagen que incluya algún tipo de procesado.

No obstante, la integración de sensores de imagen no solo ha aumentado en la electrónica de consumo, sino que presenta una herramienta de gran importancia en entornos industriales, militares, médicos, etc. Más allá, los avances logrados en el diseño y fabricación de sensores de imagen basados en tecnologías de metal-óxido semiconductor complementario (CMOS), han permitido incluir capacidad de procesamiento en el plano focal, a la vez que técnicas de cancelación de artefactos y un aumento en el volumen y calidad de datos, lo que paralelamente ha ido siendo explotado por la inteligencia artificial (IA), la cual ha tenido una gran importancia estos últimos años.

Por otra parte, la tendencia a incluir sistemas inteligentes en la mayoría de elementos cotidianos (el denominado “Internet de las Cosas”, *IoT*) y portables, ha supuesto una tendencia a la reducción del consumo de dichos elementos [1], ya que algunos de ellos están diseñados para trabajar en condiciones donde la pila o batería no puede exceder un tamaño determinado o no pueden permitirse el ser cargados o sustituidos constantemente, como el caso de un marcapasos. De hecho, el *International Roadmap for Devices and Systems* (IRDS), el cual plantea los retos y líneas de trabajo a seguir por la industria, hacía referencia en uno de sus informes de 2020 que los dispositivos IoT deberían proporcionar sensado, cálculo y comunicación con niveles de consumo extremadamente bajos, haciendo énfasis en que la recolección de energía era un aspecto clave para el desarrollo de estos[2].

### 1.1. Motivación y objetivos

El pilar básico y fundamento físico en el que un sensor de imagen CMOS se basa, es en el fotodiodo, es decir, una unión PN que, al polarizarse en inversa e impactar sobre ella una ráfaga de fotones con determinada energía, es capaz de generar una corriente proporcional a la iluminación. Este mismo fenómeno es el explotado en los paneles fotovoltaicos (PV), que son asociaciones serie-paralelo de celdas fotovoltaicas que, a su vez, son asociaciones de diodos simples. Esto ha sido aprovechado desde tiempos atrás para crear aplicaciones que permitan auto-abastecerse, cargando una batería a través de una celda fotovoltaica.

Son varias los autores que han investigado tanto la integración de celdas fotovoltaicas junto a la circuitería que se desea alimentar, como la conversión DC-DC [3] y gestión de la energía [4]. Sin embargo, la integración de dicha celda supone un gran consumo de área activa, además de presentar bajas tensiones debido al uso de un sustrato común que imposibilita la asociación de uniones en paralelo o baja eficiencia en el caso de la conversión DC-DC. Otros autores han estudiado la posibilidad de lograr asociaciones en pseudo-serie [5] a costa de añadir un desbalance

entre etapas y elementos parásitos indeseados que reducían la eficiencia, mientras que otros han buscado aumentar la eficiencia y tensiones que aparecen en la unión utilizando configuraciones alternativas [6].

Por otra parte, también se ha intentado explotar la ventaja que presenta un sensor de imagen, al contar de manera natural con una matriz de fotodiodos [7, 8], diseñando sensores de píxel activo (*APS*) [9], alimentados a las tensiones reducidas que aportan dichos fotodiodos. Si bien en [7] logran obtener imágenes en dichas condiciones, requieren un grado de iluminación excesivo, además de que la lectura síncrona de la matriz al completo causa que un píxel ya leído siga consumiendo, durante el tiempo completo de la lectura.

A pesar de que con los avances en las tecnologías CMOS, los sensores APS han ido sustituyendo a los sensores basados en dispositivos de carga acoplada (*CCDs*) [9], los sensores asíncronos aparecen como una alternativa a estos, eliminando la temporización tradicional de señales tanto en el control como en la lectura de los píxeles. Esto se ha traducido en un gran aumento de la velocidad, alcanzando latencias por debajo de  $1 \mu\text{s}$  [10, 11] y en un gran aumento del rango dinámico, desde los  $60 \text{ dB}$  típicos de un sensor APS [12] hasta los  $130 \text{ dB}$  que puede presentar un sensor asíncrono [11]. Además, existen diversos tipos de sensores asíncronos en función de la aplicación, algunos centrados en detectar niveles de iluminación (denominados octopus[13]), otros contraste espacial, temporal (denominados sensores de visión dinámica, *DVS* [14, 15, 16]), etc. La Figura 1.1 ilustra de manera cualitativa la diferencia en la lectura de un sensor síncrono (Figura 1.1(a)) y un sensor asíncrono tipo octopus (Figura 1.1(b)), donde se puede observar que en el sensor síncrono, tras un tiempo de lectura  $T$ , existe un retraso en los tiempos de medida, independientemente de su nivel de iluminación, mientras que el sensor asíncrono realiza la lectura en función del nivel de iluminación.

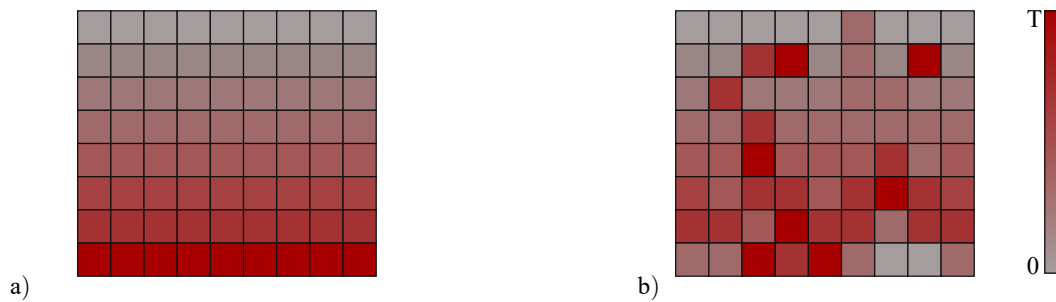


Figura 1.1. Mapa representativo del tiempo entre lectura del píxel y lectura del plano completo en un intervalo de tiempo  $T$  de: a) un sensor síncrono leído por columnas, b) un sensor asíncrono. Los píxeles más saturados representan menor tiempo de inactividad.

Por lo tanto, la ventaja intrínseca de los sensores de imagen de contar con una matriz de fotodiodos podría ser explotada mediante el uso de una arquitectura asíncrona basada en eventos, de manera que los píxeles más iluminados, los cuales se leerían antes que los menos iluminados, sean capaces de contribuir a la alimentación del resto de píxeles tras su lectura, ya que los píxeles más iluminados son los que mayor corriente generan y menos tiempo consumen, realizando una operación híbrida entre sensado y recolección de energía. Además, para lograr una operación de sensado autosuficiente, durante el intervalo de tiempo que el sensor no se encuentra sensando y todos los píxeles funcionan como celda solar, podría almacenarse la carga en una capacidad o batería externa. Esto último generaría un compromiso entre velocidad de carga y restricciones de consumo durante la operación (mayor capacidad, mayor tiempo de carga, pero más tiempo o más corriente que puede consumir el sensor durante la operación).

De esta manera los objetivos de este Trabajo de Fin de Máster fueron los siguientes:

- Diseñar un píxel asíncrono tipo octopus capaz de trabajar a las tensiones generadas en una celda fotovoltaica (entre  $250 \text{ mV}$  y  $500 \text{ mV}$  [6]).
- El consumo del píxel no puede superar los  $100 \text{ pA}$ .



- Una vez leído el píxel, debe dejar de consumir (intentando minimizar corrientes de fugas) y contribuir a la alimentación del resto de píxeles.
- Diseñar una matriz de píxeles de  $128 \times 128$  píxeles con el propósito de realizar el test del píxel diseñado.
- Diseñar una periferia capaz de realizar la operación de arbitración entre píxeles y escribir en los buses de salida la dirección del píxel con los mismos niveles de tensión.
- Realizar el estudio de la autosuficiencia de la matriz de píxeles, extrapolando el resultado a una matriz de gran tamaño.
- Si es posible, garantizar la autosuficiencia energética de la periferia.

El resto contenido de este estudio se dividirá de la siguiente forma: el Capítulo 2 introducirá de manera breve los conceptos teóricos básicos que se deben dominar para comprender el estudio. En el Capítulo 3 se explicará la arquitectura, funcionamiento y los elementos que componen el píxel. Posteriormente, el Capítulo 4 presentará el resto de elementos que conforman el sensor diseñado, así como las limitaciones encontradas en la aplicación. Por último, en el Capítulo 5 se realizarán una serie de simulaciones para verificar el funcionamiento y realizar una breve caracterización del sensor, finalizando con las conclusiones y trabajo futuro en el Capítulo 6.



# Capítulo 2

## Marco teórico

En este capítulo se tratarán los aspectos teóricos de los elementos involucrados en el sensor diseñado, es decir, de la interacción entre luz y semiconductores, tanto su aplicación en el sensado de la iluminación, como en la de la generación de energía, así como de las diferentes arquitecturas utilizadas en sensores de imagen y visión en tecnologías CMOS.

### 2.1. Física del estado sólido

El diseño de píxeles de un sensor de imagen es una labor compleja que, normalmente y sobretodo a nivel industrial, queda reservado para diseñadores expertos, que cuentan con una gran base teórica y experiencia en cómo funcionan los semiconductores, su dependencia con las distintas variables existentes y cómo obtener un buen resultado. Por lo tanto, el dominio de la física del estado sólido, es fundamental. Las secciones siguientes se han orientado a presentar los conceptos básicos necesarios para el estudio que abarca el documento.

#### 2.1.1. Sólidos conductores, semiconductores y aislantes

Las sustancias sólidas que se encuentran en la naturaleza pueden clasificarse según el grado de ordenación de los átomos que las constituyen. Cuando en un sólido existe una celda unitaria que actúa como patrón de regularidad que se repite por todo el cuerpo, se dice que es un material cristalino, cuando existen regiones locales que siguen un patrón que puede ser diferentes de una región a otra, se está hablando de un material policristalino, mientras que un material amorfo es aquel no sigue ningún tipo de patrón interno.

Según la mecánica cuántica, las magnitudes físicas no siempre pueden tomar infinitos valores continuos. Por ejemplo, mientras que las ideas clásicas mantenían que la energía  $E$  de un electrón era una función continua de la distancia al núcleo, la mecánica cuántica afirma que dicha energía solo puede tomar valores dentro de un conjunto discreto [17]. Cada nivel de energía se corresponde con un estado electrónico, teniendo asociado un orbital determinado y definiendo cuatro números cuánticos que definen el estado electrónico [18]. A su vez, la ocupación de los estados electrónicos de un átomo se rige por el principio de la mínima energía (los electrones tienden a ocupar los estados de mínima energía) y el principio de exclusión de Pauli (dos electrones de un mismo átomo no pueden tener los cuatro números cuánticos idénticos), lo que se traduce en que los electrones ocupan los estados de menor a mayor energía sin que dos electrones compartan un mismo estado.

Dado que las propiedades eléctricas de un sólido se encuentran relacionadas con los electrones de la última capa, denominada capa de valencia, a menudo se recurre al denominado modelo de bandas energías para su estudio. Para que a un sólido se le puedan asociar propiedades conductivas, es decir, que los electrones puedan desplazarse como partículas a lo largo de la red de átomos, es necesario que existan estados de energía superiores accesibles (no ocupados). Por lo tanto, el

modelo de bandas de energía establece una representación de la energía de la última capa de la corteza electrónica (banda de valencia) y la energía del estado inmediatamente superior al que pertenecerían los electrones libres (banda de conducción).

La Figura 2.1 muestra un ejemplo del diagrama de bandas para un metal, semiconductor y aislante, donde  $E_c$  representa la energía de la banda de conducción,  $E_v$  la energía de la banda de valencia y la diferencia entre ellas es la denominada banda prohibida (salvo en el caso de los metales, donde ambas bandas solapan y no hay banda prohibida). En un material semiconductor el ancho de la banda prohibida es de algunos  $eV$ , lo que permite que electrones pasen de la banda de valencia a la de conducción aplicando la energía necesaria para saltar de banda, mientras que un material denominado aislante presenta un ancho mayor (lo que hace más difícil la conducción, pero nunca imposible).

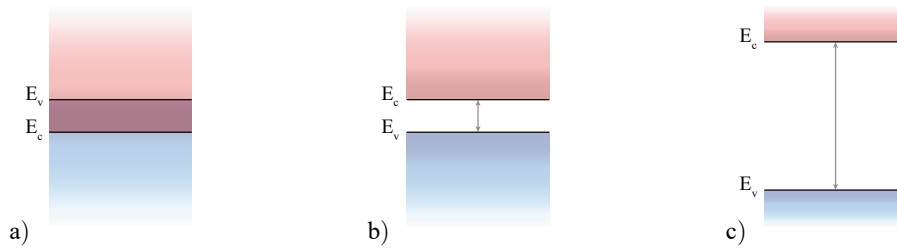


Figura 2.1. Diagrama de bandas de a) un metal, b) un semiconductor, c) un aislante.

### 2.1.2. La unión PN

Cuando un semiconductor intrínseco, como puede ser el silicio cristalino, se dopa con sustancias que presentan un electrón más (sustancias donadoras) o menos (sustanciasceptoras) en su banda de valencia, se dice que se trata de un semiconductor extrínseco. En un semiconductor extrínseco la unión que se produce es tan débil que, incluso a temperaturas bajas, la energía de agitación térmica de la red es capaz de ionizar los átomos de impureza, resultando en electrones (en el caso de sustancias donadoras) o huecos (falta de electrones, en el caso de sustanciasceptoras) libres. Los cristales resultantes son denominados, respectivamente, tipo N o tipo P.

La Figura 2.2 representa el diagrama de bandas de una unión abrupta de un cristal P y un cristal N en equilibrio térmico, donde  $E_f$  representa el nivel de Fermi (constante al encontrarse en equilibrio térmico) y  $E_i$  es el nivel de Fermi intrínseco (el punto medio de la banda prohibida).

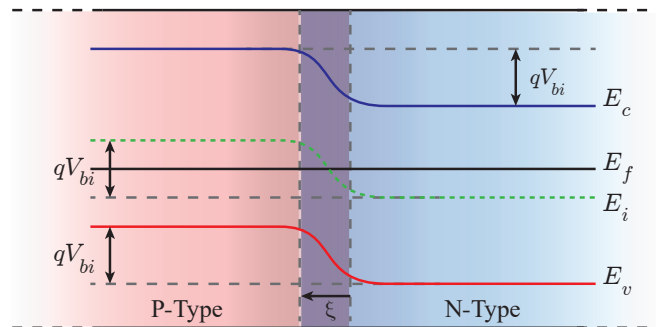


Figura 2.2. Diagrama de bandas de una unión PN en equilibrio.

Al unir dos semiconductores de distinto dopado, se empiezan a generar corrientes por difusión. Para alcanzar el equilibrio, en dicha unión se genera un campo eléctrico,  $\xi$ , que se opone a la difusión, de manera que la corriente de arrastre sea igual pero de sentido contrario que la de

difusión, generando una zona libre de portadores de cargas denominada zona de depleción. Este campo eléctrico hace que entre los terminales de la unión aparezca una diferencia de potencial  $V_{bi}$ , denominado potencial interno, cuando este se encuentra en equilibrio térmico.

Cuando los terminales de dicha unión (es decir, los extremos de cada tipo de cristal) se polarizan de manera que el potencial del tipo N sea mayor que el del tipo P (polarización inversa), la banda de conducción de ambos cristales se separa, imposibilitando el flujo de corriente (idealmente), ya que aumenta la barrera de potencial y el campo eléctrico. Por otra parte, si se polariza de manera contraria, las bandas de conducción se acercan, permitiendo el flujo de corriente por difusión de portadores hacia las zonas donde son minoritarios entre los cristales si la diferencia de potenciales entre el cristal tipo P y tipo N es mayor a la tensión umbral,  $V_{th}$  (polarización directa) e imposibilitándola si no llega a dicho umbral (corte). Por lo tanto, la unión PN (a menudo denominada diodo), cuyo símbolo se ha representado en la Figura 2.3(a), presenta una curva entre su corriente,  $I$  y su tensión  $V$ , igual a la de la Figura 2.3(b) (Nótese que no se ha incluido la región de avalancha).

### 2.1.3. Interacción luz-semiconductor

Otro aspecto importante a estudiar en una unión PN es su interacción con la luz. Cuando fotón con una energía  $E = h\nu$ , siendo  $h$  la constante de Planck y  $\nu$  la frecuencia del fotón (velocidad de la luz entre longitud de onda), impacta contra un semiconductor, este es absorbido a una profundidad determinada, inversamente proporcional a la longitud de onda. Cuando dicho fotón es absorbido, se genera un par electrón-hueco que suele recombinarse. Sin embargo, cuando el par electrón hueco se genera dentro de la región de depleción, los portadores se desplazan debido al campo eléctrico interno, generando una corriente a favor del campo eléctrico interno, es decir, una corriente inversa. Gracias a este efecto, la unión PN puede ser utilizada para generar una corriente proporcional al flujo de fotones incidentes si la unión se polariza en inversa, tal y como se muestra en la Figura 2.3(c), fundamento principal de los sensores de imagen. Nótese que conforme aumenta la iluminación, la tensión donde se anula la corriente aumenta.

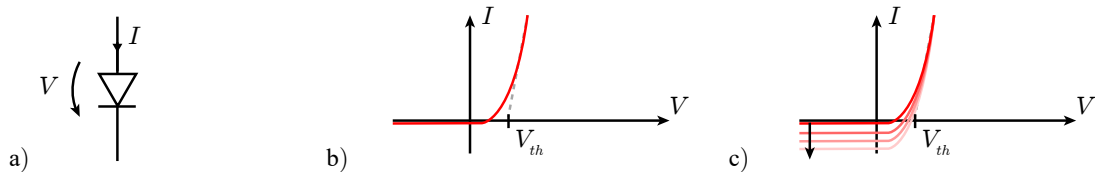


Figura 2.3. a) Símbolo del diodo y referencias de corriente y tensión. b) Curva I-V del diodo. c) Curva I-V del diodo al aumentar el flujo de fotones recibido.

Sin embargo, si se observa el cuarto cuadrante de la Figura 2.3(c), aparece una región donde el diodo está generando energía cuando este se encuentra iluminado. Esta región es donde trabajan las celdas fotovoltaicas para generar energía eléctrica a través de la radiación solar. La representación más habitual al trabajar en dicha región, es la representada en la Figura 2.4(a) (tomando la corriente en sentido contrario), de manera que la dependencia de la corriente y potencia generadas se representen como se muestra en la Figura 2.4(b) y (c) respectivamente. En dichas curvas, además de observar que existe un punto donde la potencia es máxima (MPP), se observan los parámetros que caracterizan la celda fotovoltaica, los cuales son [19]:

- Corriente de cortocircuito ( $I_{sc}$ ). Es la corriente generada cuando la tensión entre los terminales de la unión es nula. Su valor es prácticamente similar al de la corriente en inversa (aunque esta aumenta ligeramente cuanto más negativa sea la tensión entre los terminales).
- Corriente en el MPP ( $I_{mpp}$ ). Corriente en el punto de máxima potencia.
- Tensión en el MPP ( $V_{mpp}$ ). Tensión donde la potencia es máxima.

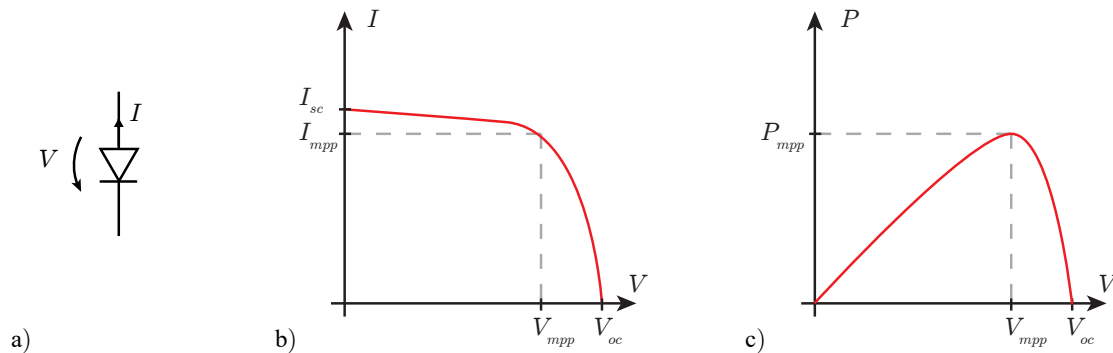


Figura 2.4. a) Referencias utilizadas en el diodo como celda fotovoltaica. b) Curva I-V. d) Curva P-V.

- Tensión de circuito abierto ( $V_{oc}$ ). Tensión donde se anula la corriente. Se corresponde al potencial interno de la unión, que debe aumentar cuando aumenta la iluminación para encontrar el nuevo equilibrio.

Debido a que una unión PN posee unos valores de  $V_{oc}$  e  $I_{sc}$  relativamente bajos (de entre 200 mV-500 mV y 100 fA-10 nA aproximadamente [6]), una celda fotovoltaica asocia en serie (para aumentar tensión) y en paralelo (para aumentar corriente) varias uniones. A su vez, varias celdas fotovoltaicas se asocian en serie y paralelo para formar un panel fotovoltaico (PV) capaz de generar cantidades de potencia razonables, además de añadir diodos de *bypass* por si alguna de ellas falla [19].

## 2.2. Sensores de imagen y sensores de visión CMOS

El ser humano siempre ha tenido un deseo intrínseco de poder representar y almacenar escenas de la realidad, de manera lo más fiel posible. De hecho, la palabra imagen viene a significar “representación, semejanza y apariencia de algo”. El primer dispositivo del que se tiene constancia que era capaz de tomar imágenes a partir de la escena visual, fue fabricado por Joseph-Nicéphore Niepce en 1816 [20], basada en la combinación de la cámara oscura y el papel sensibilizado con cloruro de plata, aportando la primera imagen que se conserva de la historia, mostrada en la Figura 2.5.

A pesar de que el trabajo de Niepce dio paso a la evolución de la denominada fotografía analógica, la aparición y desarrollo de la electrónica y más en concreto de los circuitos integrados (ICs), supuso un cambio en el paradigma de los sistemas de captación de imagen. El silicio, además de ser un material abundante y un buen semiconductor, presenta unas propiedades ópticas muy interesantes, ya que es capaz de absorber la radiación correspondiente al espectro visible con una eficiencia considerable, generando una corriente proporcional al nivel de iluminación, como se explicó en la Sección 2.1.3, permitiendo diseñar una celda unitaria que contara con un fotodiodo, denominada píxel, que se replicaría por el sensor formando una matriz. Esto permitió el nacimiento de los sensores *Charge-Coupling-Devices* (CCDs) en 1969, de la mano de los laboratorios de AT&T Bell [21], que eran capaces de obtener imágenes con alta resolución y sin multitud de artefactos, con la desventaja de que no podían integrar el procesamiento de la imagen en el mismo sensor, a diferencia de los sensores CMOS que a pesar de haber aparecido ligeramente antes (1963), la alta variabilidad de los resultados hizo que el mercado se descartara en primer lugar por la tecnología CCD.

Sin embargo, la evolución de la tecnología CMOS y las técnicas de cancelación de artefactos (véase desapareamiento, ruido, etc), supusieron la entrada de este tipo de sensores en el mercado, permitiendo no solo añadir procesado en el plano focal, sino abaratando costes debido al uso de

procesos de fabricación estándar. Esto abrió la puerta a los denominados sensores de visión, que se diferenciaban de los sensores de imagen en que buscaban obtener información de la escena en lugar de una representación fiel. Este progreso ha supuesto que hoy en día, sean varios los fabricantes que ofrecen procesos de fabricación CMOS optimizados para sensores de imagen.



Figura 2.5. Primera imagen conservada de la historia: "La cour du domaine du Gras" de Joseph-Nicéphore Niépce (1826) [20].

Sin embargo, los sensores CMOS han ido evolucionando de manera distinta según la aplicación final. En este estudio diferenciaremos entre dos grandes grupos en función de su modo de lectura, el de los sensores síncronos, donde la lectura de los píxeles se realiza siguiendo una secuencia determinada y los sensores asíncronos, donde los píxeles generan una serie de eventos que pueden ser leídos en orden arbitrario.

### 2.2.1. Sensores síncronos: El píxel APS

Los sensores síncronos se suelen centrar en lograr una representación lo más fiel posible a la realidad, por lo que se busca la simplicidad del píxel, intentando maximizar su *Fill Factor*, FF (relación entre área del fotodiodo y área del píxel completo), y reducir su *pitch* (separación entre píxeles), para lograr una matriz de píxeles de alta resolución en el menor espacio posible, donde la mayoría de fotones incidan sobre un fotodiodo. Por ello, estos tipos de sensores solo suelen incluir transistores tipo N (en tecnologías de sustrato P), para evitar las distancias requeridas entre pozos.

Dentro de estos sensores, se han incluido diversos tipos de píxeles a lo largo de la historia. El más sencillo de ellos, es el sensor de píxel pasivo (PPS), que no incluye amplificación dentro del píxel, solo un transistor para la selección en la lectura. Sin embargo, este tipo de píxeles no es muy utilizado en sensores CMOS y no será incluido en este estudio.

Por otra parte, los sensores cuyos píxeles que sí incluyen amplificación, se suelen denominar sensores de píxel activo (APS). El más básico de ellos es el píxel activo de tres transistores, denominado comúnmente como 3T-APS. La operación de este píxel, representado en la Figura 2.6(a), consiste en resetear la tensión del fotodiodo a una tensión conocida,  $V_{pix}$  (más un error sistemático debido a la tensión umbral del transistor), a través de  $M_R$  y la señal *reset*, para posteriormente dejar al fotodiodo integrar carga, reduciendo la tensión de su cátodo. Tras un tiempo de exposición, se activa la lectura del píxel (normalmente, por columnas) a través del transistor  $M_{SEL}$  y la señal *sel*, transfiriendo la señal a la salida del *source follower* formado por  $M_{SF}$  (el cual añade aún más ruido a la señal). Un detalle importante de dicho píxel, es que al realizar una lectura fila a fila (*rolling shutter*), el tiempo de exposición de los píxeles también varía fila a fila.

Para solventar dicho problema y permitir técnicas como el doble muestreo correlado (CDS) [22] o el muestreo múltiple correlado (CMS) [23], nació el píxel activo de cuatro transistores (4T-APS).

Estas estructuras suelen utilizar un fotodiodo *pinned* (una pequeña capa tipo P en la superficie, para evitar trampas superficiales y mejorar el rendimiento) y añaden al píxel 3T-APS el transistor  $M_{TX}$  de la Figura 2.6(b), encargado de transferir la carga acumulada en el fotodiodo a una difusión flotante (FD) en el momento que se desea dejar de acumular carga. Esto último, añade la posibilidad de que el tiempo de exposición sea el mismo para todos los píxeles (*Global shutter*), eliminando artefactos temporales, aunque la lectura se realice fila a fila.

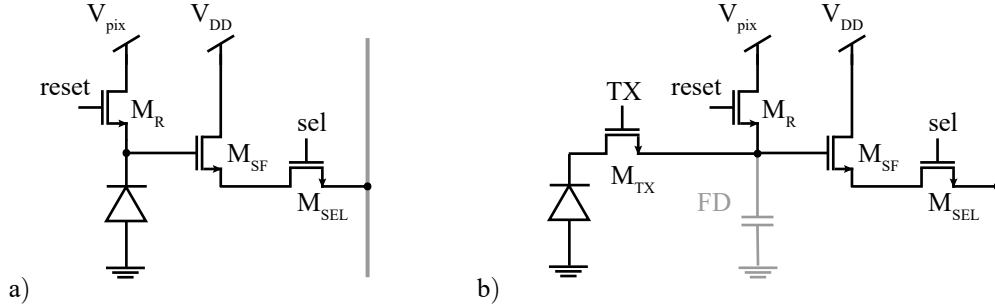


Figura 2.6. a) Píxel 3T-APS. b) Píxel 4T-APS.

Este tipo de sensores suelen alcanzar resoluciones de decenas de megapíxeles y velocidades de en torno a los 30-60 cuadros por segundo (FPS) [24, 25] con una calidad bastante considerable, lo que ha hecho que los sensores APS sean los favoritos para aplicaciones donde se desea una buena representación de la realidad.

A pesar de que la limitación de velocidad en estos sensores suele venir dada por la salida serie de los datos e una matriz de gran resolución, se han propuesto sensores del tipo *burst mode* que cuentan con un tipo de memoria dentro del chip y pueden aumentar la tasa de muestreo para exportar los datos en otro momento, reportando tasas de hasta 5 MFPS [26]. Sin embargo, la cantidad de datos en ráfaga que se pueden muestrear a dicha tasa viene limitada por el tamaño de la memoria y a veces no es escalable.

### 2.2.2. Sensores asíncronos

Los sensores asíncronos nacen para intentar mimetizar el comportamiento de la retina, un sensor con millones de años de evolución y grandes capacidades de procesamiento, en un dispositivo electrónico, con objetivos como lograr altas tasas de captura de datos, alto rango dinámico y un preprocesamiento de la información para facilitar el procesamiento por el siguiente elemento de la cadena. La diferencia entre los píxeles convencionales y los asíncronos, es que mientras en los primeros se busca medir una señal analógica correspondiente al nivel de iluminación, en los segundos se activan señales de salida digitales correspondientes a distintos estímulos de entrada, codificando la información en ancho de pulso o en frecuencia.

El primer píxel asíncrono fue publicado por Fukushima en [27]. Este píxel era una versión no integrada con componentes discretos, que intentaba presentar un modelo eléctrico de una retina. Más adelante, Mead estudiaba la implementación integrada de píxeles que emularan el comportamiento de una neurona [28, 29], incluyendo relaciones entre píxeles cercanos a partir de redes resistivas, pero no fue hasta 1994 cuando Mahowald (alumna de Mead) propuso en su tesis el primer sensor bio-inspirado [30], el cual era una versión que aún contaba con lectura síncrona.

Un avance clave en este tipo de sensores, fue la presentación por parte de Silvilotti y otros autores la implementación hardware de los esquemas de representación de dirección de eventos (*Address Event Representation, AER*) [31], estableciendo un protocolo de comunicación en el que un estímulo causado por algún tipo de evento (por ejemplo, una variación temporal en la iluminación) causa una petición que escribe en un bus compartido la dirección horizontal y vertical del píxel para que un periférico se encargue de leer y procesar la información. La posibilidad de que



aparezcan eventos simultáneos en distintos píxeles de una matriz, hace necesario la implementación de un bloque, denominado arbitrador, encargado de decidir qué peticiones llegan con anterioridad y quién debe ser capaz de escribir en el bus de direcciones.

En 2008 Lichtsteiner propuso el primer sensor DVS, capaz de detectar el contraste temporal de cada píxel [14, 32]. Este píxel contaba con dos salidas que emitían un pulso cuando la iluminación aumentaba o disminuía, respectivamente. Posteriormente, un arbitrador se encargaba de gestionar los pulsos para implementar un esquema AER. El resultado era un sensor que en lugar de leer la matriz completa de píxeles, solo leía los píxeles que variaban su iluminación respecto a la medida anterior, alcanzando una latencia de 15  $\mu$ s, además de prácticamente duplicar el rango dinámico de un píxel APS convencional, a costa de aumentar la complejidad y disminuir el FF del píxel.

Una modificación del píxel de Lichtsteiner fue propuesta por Brandli en [11], añadiendo la circuitería necesaria para añadir la posibilidad de poder utilizarse como píxel APS, denominando esta estructura como sensor de visión dinámico y activo (*DAVIS*).

En cuanto a los sensores del tipo octopus, que en lugar de detectar variaciones temporales de la iluminación, permiten codificar (en frecuencia o ancho de pulso) los niveles de iluminación para realizar la lectura asíncrona de la escena visual, fue Culurciello en 2003 [13] quien proponía el primero de estos sensores, basado en un píxel compuesto por un fotodiodo que integraba carga y un elemento comparador capaz de conmutar su salida si la tensión del fotodiodo supera un determinado umbral, generando un tren de pulsos proporcional al nivel de iluminación, gracias a la señal de reset que se genera cada vez que un píxel es leído por la periferia.

Por otra parte, otras implementaciones como la de Leñero [33], proponen un píxel con capacidad de autoresetearse y generar un tren de pulsos cuya frecuencia también es proporcional al nivel de iluminación. La Figura 2.7 muestra un esquema tentativo en el que se explica la operación de dicho píxel, donde  $I_{ph}$  es la fotocorriente generada,  $C_{ph}$  la capacidad equivalente en el cátodo del fotodiodo y  $V_{ph}$ , la tensión de dicho nodo. El principio de operación es el siguiente, en primer lugar se precarga la tensión del fotodiodo a la tensión de alimentación,  $V_{DD}$ , para posteriormente descargarse con una pendiente proporcional a la iluminación hasta alcanzar un determinado valor umbral,  $V_{th}$  y generar un pulso que realice una petición y a su vez vuelva a resetear la tensión del fotodiodo. De esta manera, la frecuencia de los pulsos de las peticiones se correspondería a la expresión (2.1).

$$f \simeq \frac{I_{ph}}{V_{DD} - V_{th}}. \quad (2.1)$$

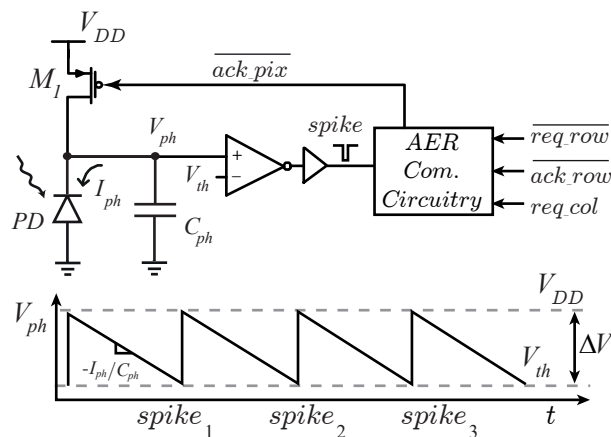


Figura 2.7. Implementación de un píxel capaz de generar pulsos en función de la iluminación.

Por otra parte, otros autores como Chen Shoushun han estudiado la opción de medir el tiempo desde que se inicia la operación de sensado hasta que se recibe el primer pulso, denominado *Time-*

*to-First-Spike (TFS)* [34], en lugar de medir la frecuencia de los pulsos. Esto permitía reducir en gran medida el consumo del sensor, utilizado en otros esquemas como el propuesto por de la Calle en [35], donde usa una estructura similar a [33], pero bloqueando el píxel tras la lectura del primer pulso, lo que permitía reducir aún más el consumo del sensor.

Finalmente, también se han propuesto en la literatura sensores híbridos que implementan funciones DVS y octopus [36], sensores capaces de detectar contraste espacial [37] o incluso de estimar el color de la escena utilizando diodos a distintas profundidades [38], entre otros.

## 2.3. Recolección de energía solar

Como se ha comentado anteriormente, las uniones PN tienen la capacidad de absorber los fotones incidentes y generar una corriente proporcional al flujo de estos, la cual puede ser utilizada para almacenar energía en una batería o para alimentar algún elemento. No obstante, la generación de energía eléctrica a partir de energía solar ha sido mucho más explotada en sistemas de alta potencia formado por asociaciones en serie y paralelo de PVs que en circuitos integrados (*ICs*).

### 2.3.1. Diferencias entre IC y PV

Como mostraba la Figura 2.4(c), la potencia generada por un PV, celda fotovoltaica o simple unión PN, depende fuertemente de la tensión entre sus terminales, lo que significa que dicha tensión debe ser controlada para poder generar la máxima potencia posible. Dado que el MPP varía con la iluminación, tradicionalmente en un sistema de media o alta potencia, ha sido necesario el uso de un algoritmo capaz de seguir el MPP, denominado *Maximum Power Point Tracking* (MPPT) [19]. Son varios los autores que han buscado diseñar algoritmos cada vez más eficientes [39, 40, 41] o capaces de solventar problemas como el denominado *Partial Shading* [42, 43, 44], el cual consiste en la aparición de máximos locales debido a que todo el PV no se encuentra uniformemente iluminado [19]. Más adelante, aparecieron algoritmos *Flexible Power Point Tracking* (FPPT) para sustituir al MPPT, que buscaban satisfacer una demanda de potencia específica en lugar de generar la máxima disponible [45, 46], ya que a veces no se puede almacenar el exceso de energía generada o, en el caso de PVs conectados a la red, se necesita tener una “reserva” de potencia para el caso de que caiga la frecuencia de la red y poder funcionar como soporte a la red [47].

Por lo tanto, un sistema PV suele estar formado por un PV y uno o varios convertidores y un esquema de control. Una configuración clásica se ha representado en la Figura 2.8(a), donde un convertidor DC-DC controla la tensión del PV y un inversor genera una tensión sinusoidal en la carga. El esquema de control está formado por un bloque capaz de generar la referencia de tensión (*PV Voltage Reference Calculation*, PVVRC) a través de un MPPT o FPPT, para que otro bloque se encargue de generar las señales que actúan sobre un convertidor y alcanzar dicha tensión (*PV Voltage Controller*, PVVC).

Sin embargo, el paradigma de recolección de energía solar en un IC es totalmente distinto que en el de un sistema formado por PVs. En primer lugar debido a la reducción del área de la celda fotovoltaica, la potencia generada es varios órdenes de magnitud inferior, lo que supone un gran reto en sensar la corriente y la tensión de la celda y más aún calcular la potencia y ejecutar un algoritmo, ya que el consumo de dicha cadena de procesamiento podría ser incluso mayor que la potencia generada.

Otra diferencia entre un sistema PV y un IC, es que el sistema PV está diseñado para asistir, en medida de lo posible, a un consumo proveniente de otra fuente de energía, como puede ser la red, o una batería, mientras que en un IC se suele buscar la autosuficiencia del circuito y no siempre es posible cargar una batería, ya que supondría un tiempo en el que el circuito no puede realizar su operación.

Por otra parte, mientras que los convertidores DC-DC inductivos utilizados en sistemas de mayor tamaño presentan una eficiencia cercana a la unidad [48], la alternativa integrada, es decir,

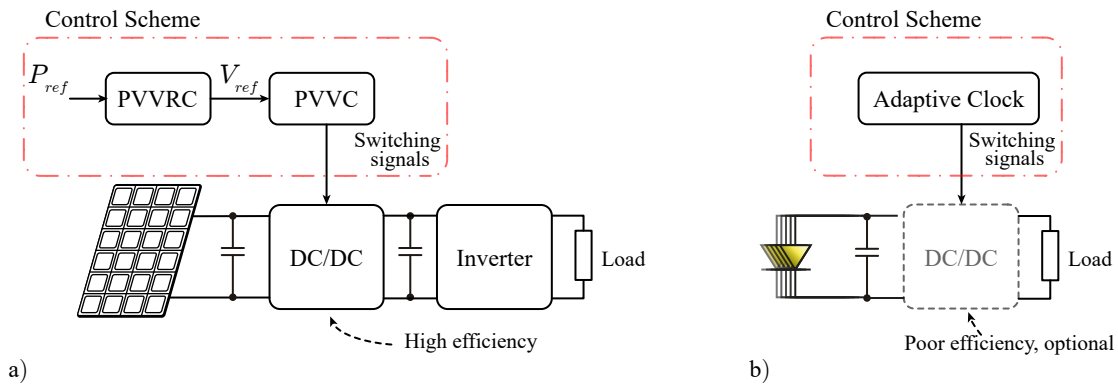


Figura 2.8. a) Esquema básico de extracción de energía en un sistema PV. b) Esquema básico de recolección de energía en un IC.

convertidores capacitivos, presentan una eficiencia que difícilmente supera el 60% [49]. A pesar de que se puedan integrar convertidores inductivos con mayor eficiencia [50], el uso de bobinas se suele evitar, e incluso si se utilizan bobinas externas, la operación no es sencilla debido a que el aumento de la corriente en la bobina causaría una pronta descarga de la tensión de los fotodiodos si la capacidad de entrada no es lo suficientemente elevada.

Por último, la asociación de diodos en serie, sin que aparezcan efectos parásitos que comprometan la correcta operación, no es posible en una tecnología CMOS estándar. Esto limita en gran medida las tensiones alcanzables por una celda fotovoltaica integrada en un circuito CMOS. Esto hace que el tipo de esquemas utilizados en ICs sea similar al de la Figura 2.8(b), donde una matriz de diodos en serie se conecta a la entrada de un convertidor (a veces omitido), cuyo único método de control es la generación de un reloj adaptativo.

### 2.3.2. Limitaciones prácticas en ICs

La primera limitación que se ha comentado en cuanto a utilizar celdas fotovoltaicas en ICs, es la inexistencia de un algoritmo MPPT como tal en un IC. Para diseñar dicho algoritmo, en el dominio digital, sería necesario realizar la conversión analógico-digital de la corriente y tensión de la celda fotovoltaica, lo cual supondría un consumo que podría ser de partida superior al generado. Después, en el más sencillo de los casos, extrapolando el famoso, simple pero robusto, algoritmo de perturbar y observar (*P&O*) [19] sería necesario realizar la operación de multiplicación para el cálculo de la potencia y una comparación con la potencia anterior y la tendencia de la tensión (ascendente o descendente). Finalmente, sería necesario implementar el cambio en la tensión de la celda fotovoltaica. Además, si se desea una operación totalmente autosuficiente, todo este proceso debería poder realizarse, sin elevada degradación de la operación, a tensiones menores a 0.5 V [6].

La segunda de las limitaciones, viene dada por la común búsqueda de autosuficiencia en el uso de una celda fotovoltaica en un IC. Dado que la energía generada no es elevada, se requiere, además de añadir la celda fotovoltaica (consumo de área) adaptar el funcionamiento del circuito, incluso variando su forma de procesar la información, para garantizar el funcionamiento. Además, en un diseño optimizado y con una aplicación industrial, es necesario añadir un mecanismo eficiente de autoarranque, simplificando el control inicial y aumentando su complejidad conforme la potencia generada sea mayor, como es el caso de [4].

Otra limitación es la dificultad de realizar una conversión DC-DC eficiente y con bajo consumo de área en un IC, para un rango amplio de cargas [49, 50, 3]. Esto supone una doble limitación, en primer lugar es difícil conseguir una tensión a la que garantizar la operación de un circuito analógico sea sencillo y en segundo lugar porque el convertidor DC-DC es el elemento encargado

de variar la tensión de entrada variando la impedancia de entrada (normalmente, mediante la variación de la frecuencia de las conmutaciones) para alcanzar el punto óptimo de la curva I-V. Por otra parte, en un sistema PV suele existir otro elemento que estabiliza la tensión a la salida de manera eficiente, mientras que en un IC sin alimentación externa no es posible más que utilizar un regulador que disipe en forma de calor la potencia en exceso cuando la tensión de salida aumente más de lo deseado (reduciendo aún más la eficiencia).

Finalmente, como se adelantó anteriormente, una de las limitaciones más importantes que hacen menos interesantes la implementación de estas técnicas de recolección de energía, es la imposibilidad de asociación de diodos en serie para aumentar la  $V_{oc}$  de la celda en una tecnología CMOS estándar, donde el sustrato es compartido.

La Figura 2.9(a) muestra la única opción disponible de diseñar un diodo con ambos terminales accesibles en una tecnología CMOS estándar, unión entre difusión tipo P (referida como  $p+$ , por su denominación habitual en los kits de diseño) y pozo N (N-well). Sin embargo, dicha unión es poco eficiente y su sensibilidad se limita en gran parte a la longitud de onda cercana al azul (470 nm), siendo mucho más eficiente la unión parásita entre N-well y sustrato [51], lo que supone que la corriente inversa de la unión parásita superaría la corriente generada en el diodo original. La asociación en paralelo de dicha estructura fue estudiada en [5] y se demostró que la tensión de circuito abierto lograda aumentaba considerablemente, a costa de aumentar el tamaño del primer diodo (que no presenta parásito al conectar el N-well al sustrato) de manera exagerada para compensar las pérdidas generadas.

Por otro lado, la Figura 2.9(b), muestra otra posible alternativa en una tecnología de triple pozo, es decir, una tecnología que incorpore la posibilidad de incluir un “*Deep-N-Well*” (*DNW*), que permita fabricar pozos aislados. En este caso, el resultado es el mismo, pero el diodo deseado es mucho más eficiente que en el caso anterior [51]. Finalmente, una solución similar a la anterior, que permite aumentar tanto la corriente generada como la tensión de circuito abierto [6], es la representada en la Figura 2.9(c). Esta asociación consiste en añadir a la estructura anterior una difusión N ( $n+$ ) para añadir un diodo en paralelo al caso anterior. Aun así, todas estas configuraciones presentan el diodo parásito que dificulta su asociación en serie.

No obstante, han aparecido procesos específicos, denominados CMOS *buried quad junction* (BQJ) [52, 53, 54], que permiten apilar dos diodos en serie sin la aparición de alguno en inversa.. Sin embargo, al no tratarse de un proceso estándar, no ha suscitado el estudio de esta posible alternativa para aumentar la tensión de circuito abierto de la celda integrada.

### 2.3.3. Estado del arte en CIS

Desde hace varias años atrás, la mayoría de personas han sido usuarios de algún dispositivo electrónico capaz de funcionar única y exclusivamente mediante energía solar, siendo un ejemplo claro una calculadora cuyo consumo es muy reducido y presenta una pequeña celda fotovoltaica capaz de cargar la batería interna. Sin embargo, a pesar de que tradicionalmente estos dispositivos comerciales separan el elemento de captación de energía del resto del circuito, también se ha estudiado la posibilidad de añadir capacidad de recolección a los sensores de imagen CMOS (CIS), ya que estos se suelen encontrar en constante exposición a una fuente luminosa.

Un buen ejemplo, a pesar de no ser el primer autor en estudiar dicho fenómeno, Suat Ay propuso en 2011 un sensor APS que integra un fotodiodo similar al de la estructura de la Figura 2.9(a) [55], utilizando la unión n-well/p-sub para sensar iluminación y la unión  $p+/n$ -well para recolectar energía cuando no se esta sensado iluminación, conectando en paralelo todos los diodos a una carga, ya sea directamente o mediante una conversión DC-DC. Sin embargo, el carácter síncrono del sensor imposibilita recolectar energía antes de que se hayan leído todos los píxeles de la matriz.

Paralelamente en 2011, Shi y otros [56] explotaban la ventaja del bajo consumo de las estructuras asíncronas para diseñar un sensor con capacidades de recolección de energía, pero sin llegar a ser un sensor totalmente autosuficiente. Su fundamento se basaba en la integración de dos diodos

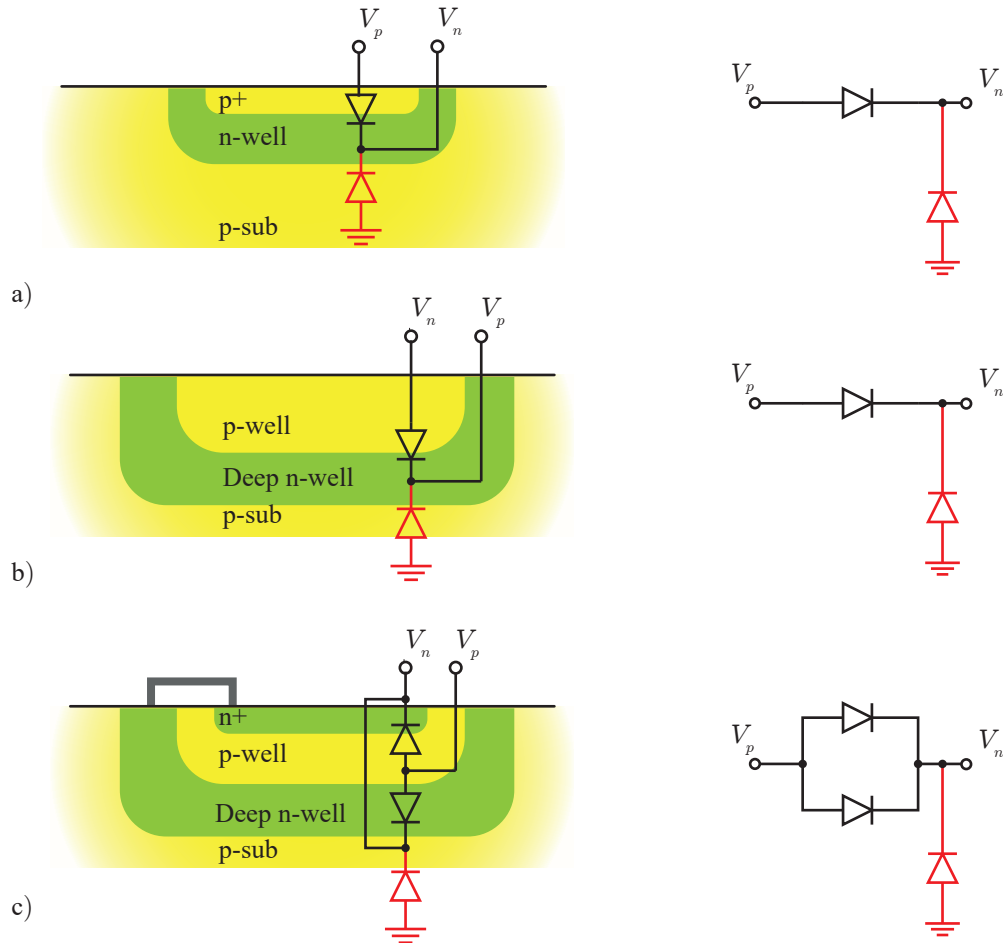


Figura 2.9. Configuraciones de diodos posibles con ambos terminales accesibles en una tecnología a) CMOS estándar, p+/n-well, b) Triple pozo, p-well/DNW y c) Igual que anterior pero añadiendo diodo n+/p-well.

distintos conectando ambos cátodos a una batería externa, utilizando uno de ellos para integrar carga y conectando el restante a una alimentación virtual, con una tensión ligeramente superior a la de la batería. Sin embargo, el fotodiodo utilizado para recolectar energía, suponía un gran consumo de área al ser mucho mayor que el fotodiodo que sensa iluminación.

Otro trabajo en el que se busca conmutar un mismo fotodiodo entre sensado y recolección, se propuso por Wang y otros en 2013 [57]. Aunque el funcionamiento del píxel en modo de sensado es similar al de un píxel APS, esta estructura presentaba una ventaja muy interesante y es que integraba una memoria por píxel para configurarlo como recolector de energía o elemento de sensado. Para alimentar el sensor, se utilizaba un convertidor DC-DC para doblar la tensión.

Por otra parte, dado que se habían reportado sensores que podían trabajar incluso a 0.5 V [58], hubo una tendencia a diseñar sensores que fueran capaces de trabajar directamente y de forma autónoma, en lugar de aumentar la tensión de una batería y evitando la necesidad de conversión DC-DC. En [8] se reporta un sensor capaz de trabajar hasta a 320 mV de alimentación, utilizando una estructura similar a la de la Figura 2.9(c), pero captando imagen a través del diodo más superficial y una arquitectura basada en PWM como en [58] y el segundo para recolectar energía en una capacidad externa.

Otro ejemplo de sensor funcionando a las bajas tensiones que se generan en una única unión

PN, es el sensor propuesto en [7] por Park y otros. En dicho sensor, se usa una estructura parecida a la de la Figura 2.9(a), conectando el pozo N (común en todos los píxeles) a una tensión de DC y dejando el sustrato flotando, para generar en él la tensión de alimentación. A pesar de conseguir un buen resultado, debido a que en todo momento el diodo inferior se encuentra alimentando al sensor, solo permite el uso de transistores PMOS en el píxel y si se desean introducir transistores NMOS, sería necesario utilizar un DNW para conseguir un pozo P aislado.

## Capítulo 3

# Estructura del píxel

En este capítulo se tratará la estructura del píxel, desde su análisis funcional hasta su implementación hardware. El objetivo era el diseño de un píxel de muy bajo consumo capaz de operar a tensiones del orden de 350 mV, de manera que pueda ser alimentado a través de una celda fotovoltaica sin necesidad de elevar la tensión de esta. Además, los píxeles que forman la matriz deberían bloquearse tras ser leídos y conmutar tras la operación para actuar como celda fotovoltaica.

Otro requisito del píxel es que, una vez agrupados en una matriz, se pueda seleccionar una determinada región de interés (ROI) independiente, de manera que durante el sensado de iluminación, una parte del array se encuentre activa y otra en reposo.

Finalmente, el píxel deberá incluir un modo *free-running* (FR) donde la operación sea continua, es decir, en lugar de bloquear el píxel tras la lectura, este se vuelve a resetear.

Tanto el diseño del píxel, así como el resto de bloques que conforman la periferia y estructuras de test, se diseñaron mediante el uso de la herramienta Cadence Virtuoso, para la simulación y el layout y la herramienta Calibre de Mentor Graphics para la verificación de reglas de diseño (DRC) y *Layout-vs-Schematic* (LVS). La tecnología disponible ha sido el nodo de 180 nm de UMC, la cual es una tecnología 1P6M (una capa de silicio policristalino y seis de metal) de triple pozo, permite capacidades *Metal-Insulator-Metal* (MiM) y utiliza transistores de 3.3 V y 1.8 V con diferentes tensiones umbrales (incluido nativos).

### 3.1. Ventajas a explotar de las estructuras asíncronas

Como se ha comentado en el Capítulo 1, los sensores de visión asíncronos no solo gozan de una alta velocidad y un alto rango dinámico, sino que además son capaces de reducir el consumo en varios órdenes de magnitud respecto a píxeles APS convencionales [59, 60, 61], debido principalmente a la eliminación de los ADCs gracias a la codificación en frecuencia o ancho de pulso de la señal, como es el caso de la estructura clásica de Carver Mead [29, 28] u otras estructuras como [62], las cuales se benefician de la comunicación AER.

Además, las estructuras asíncronas presentan otra gran ventaja respecto a las estructuras síncronas tradicionales y es que estas últimas requieren mantener activos todos los píxeles durante la lectura, mientras que un sensor asíncrono es capaz de discriminar qué píxeles han sido leídos y desactivarlos durante el resto de la lectura para reducir el consumo, como el sensor propuesto en [35]. Esta discriminación de píxeles leídos y píxeles integrando carga, permite implementar una técnica muy interesante: conmutar el fotodiodo del píxel ya leído a la región fotovoltaica, contribuyendo a la generación de energía mientras que el resto de la matriz sigue consumiendo.

Estas dos características hacen de las arquitecturas asíncronas un perfecto candidato para cumplir las especificaciones propuestas. Además, el hecho de poder activar solo una región de interés, permite no solo utilizar técnicas de sensado compresivo [36, 63, 64], sino que además

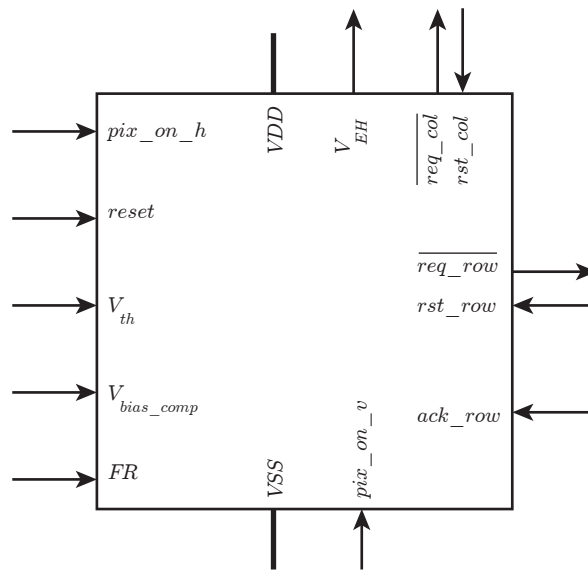


Figura 3.1. Entradas y salidas del píxel.

permite que una parte de la matriz de píxeles sense imagen mientras la otra contribuye a la alimentación durante toda la operación de sensado.

## 3.2. Entradas y salidas

Para comprender la operación del píxel, en la Figura 3.1, donde, además de la tensión de alimentación,  $V_{DD}$  y la referencia,  $V_{SS}$ , se ha representado las entradas y salida del píxel, el cual cuenta con las siguientes señales de entradas:

- $pix\_on\_h$  y  $pix\_on\_v$ . La operación AND de ambas señales genera la señal que inicia la operación del píxel cuando se encuentra a nivel alto, de ahora en adelante, denominada  $pix\_on$ . El uso de una señal horizontal y otra vertical permite la selección parcial y arbitraria de píxeles.
- $reset$ . Es la señal encargada de resetear la tensión del fotodiodo a  $V_{DD}$ . El tiempo de reset viene dado por el tiempo que solapan a nivel alto  $pix\_on$  y  $reset$ .
- $V_{th}$ . Umbral de tensión a partir del cual el píxel debe realizar una petición.
- $V_{bias\_comp}$ . Tensión de polarización del comparador.
- $FR$ . Señal de control, a nivel bajo el píxel opera en modo *Time-to-First-Spike* y a nivel alto en modo *Free-Running*, reseteando el fotodiodo en cada petición.
- $ack\_row$ . Señal de reconocimiento por filas. Permite realizar la petición por columna.
- $rst\_row$  y  $rst\_col$ . Cuando ambas señales se activan, se bloquea el píxel ( $FR = 0$ ) o se resetea el fotodiodo ( $FR = 1$ ).

Y las siguientes salidas:

- $V_{EH}$ . Nodo común entre píxeles donde se conecta el fotodiodo como celda fotovoltaica tras la operación.
- $\overline{req\_row}$  petición por filas.
- $\overline{req\_col}$  petición por columnas.





### 3.4. Descripción de la operación

La operación del píxel puede dividirse en varios pasos los cuales son:

1. Captación de energía. Cada uno de los píxeles contribuye a la carga de la batería/capacidad de alimentación.
2. Reset del fotodiodo. El fotodiodo se preacarga a la tensión de alimentación.
3. Integración de carga. El fotodiodo integra carga, disminuyendo la tensión a la entrada del comparador.
4. Petición de lectura. Una vez que el comparador dispara, se realiza una petición por fila y cuando esta es aceptada, otra por columna.

Estos pasos van orquestados por las señales de entrada *pix\_on* y *reset*, de manera que se pueden definir tres estados bien diferenciados tal y como muestra la Figura 3.3. Por una parte, siempre que *pix\_on* se encuentre a nivel bajo, el píxel se encuentra captando energía. Por otra parte, el tiempo de reset viene dado por el tiempo que *pix\_on* y *reset* solapan a nivel alto y finalmente, tras el flanco de bajada de *reset* comienza el sensado de la iluminación (integración de carga y petición de lectura).

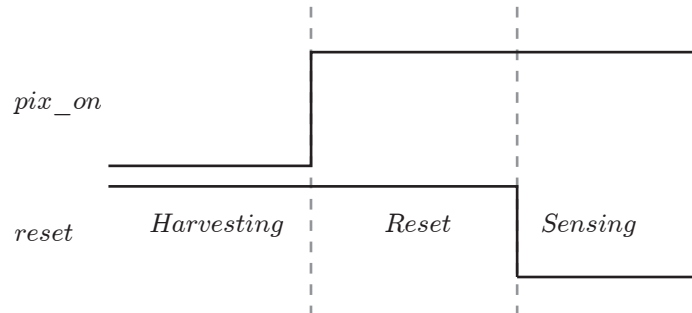


Figura 3.3. Posibles estados durante la operación, en función de las señales *pix\_on* y *reset*.

#### 3.4.1. Captación de energía

El objetivo principal del píxel es que, cuando un fotodiodo no se encuentre sensando iluminación, sea capaz de contribuir al consumo del resto de píxeles o a la carga de una batería/capacidad externa. Como se ha comentado anteriormente, la señal que indica si un píxel se encuentra bloqueado o sensando iluminación, es la señal *lock*.

Observando la Figura 3.4(a), la señal  $\overline{lock}$  conecta el ánodo del fotodiodo al nodo  $V_{EH}$  (siempre y cuando  $FR$  se encuentre a nivel bajo, ya que esta señal aísla el fotodiodo de dicho nodo) y a su vez la tensión del ánodo del fotodiodo controla el transistor que conecta su cátodo a la referencia.

Tras ver el esquemático, se puede pensar que la señal *lock* sería la más indicada para controlar este último transistor, sin embargo, de cara a la conmutación inversa (operación de reset), es necesario que primero se conmute el ánodo y luego el cátodo para evitar transferencias de carga al nodo conectado a la entrada del comparador. Utilizando la señal  $V_p$  se ahorra el uso de un inversor adicional.

#### 3.4.2. Reset del fotodiodo

Como se acaba de analizar, cada vez que se desea sensar la iluminación de la escena, el diodo debe conmutar su ánodo a la referencia y pre cargar la tensión del cátodo a la alimentación. Además, el comparador también se resetea a su estado inicial para evitar posibles peticiones espúreas durante el reset. Esto ocurre siempre y cuando la señal *lock* se encuentra a nivel bajo ( $\overline{lock}$  a nivel alto),

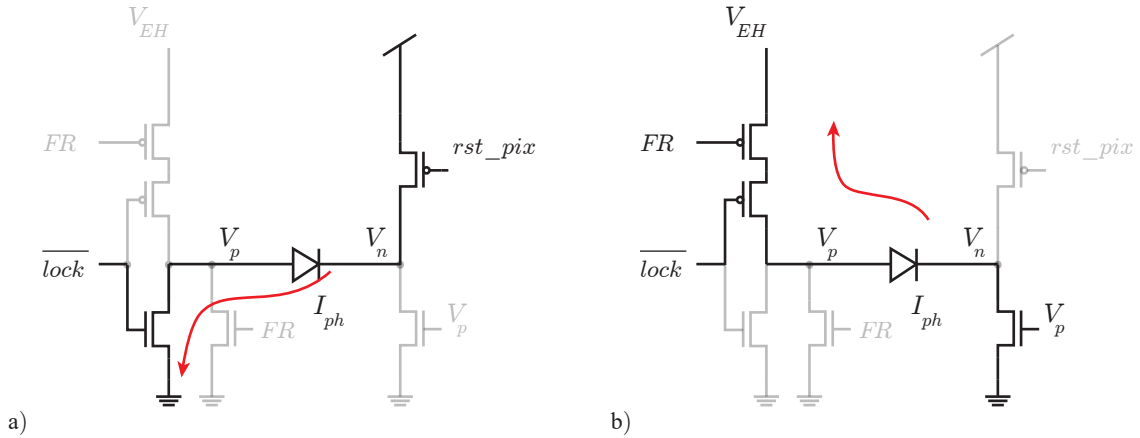


Figura 3.4. a) Captación de energía del píxel. El ánodo del fotodiodo se conecta al nodo  $V_{EH}$  cuando  $lock$  se encuentra a nivel alto y  $FR$  a nivel bajo. b) Reset del fotodiodo. El cátodo del fotodiodo se precarga a la tensión de alimentación.

es decir, cuando previamente  $rst\_pix$  se encontraba a nivel bajo. En este momento, la tensión del cátodo del fotodiodo se precarga a la tensión de alimentación, como se ha representado en la Figura 3.4(b).

Como se ha adelantado previamente, existe una lógica para generar la señal de reset, representada en la Figura 3.5. Esta puerta compleja es la cargada de implementar la función de la expresión (3.1).

$$rst\_pix = \overline{pix\_on \cdot (lock \cdot FR + reset)}. \tag{3.1}$$

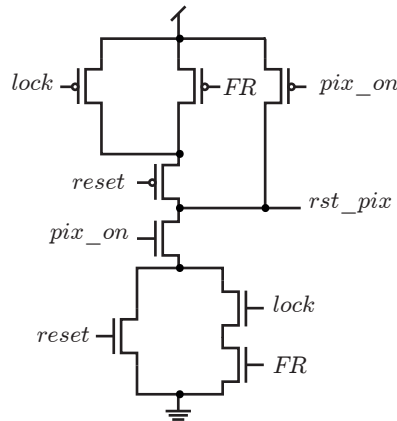


Figura 3.5. Puerta lógica empleada para generar la señal  $rst\_pix$ .

Como la señal  $FR$  es una señal de control, podemos diferenciar dos casos distintos:

- Cuando la señal  $FR$  está a nivel bajo, la expresión (3.1) se puede reescribir como (3.3), resultando la NAND de  $pix\_on$  y  $reset$ , como se muestra en la Figura 3.6(a). De esta manera, el fotodiodo solo se resetearía una vez (el tiempo que solapan  $pix\_on$  y  $reset$ ).
- Cuando la señal  $FR$  está a nivel alto, la expresión (3.1) tomará la forma (3.2), cuyo circuito equivalente se encuentra representado en la Figura 3.6(b), de manera que cuando  $pix\_on$  esté

activado, el fotodiodo se reseteará cuando la señal *reset* se encuentre activa (reset inicial) o cada vez que se active la señal *lock* (píxel leído).

$$rst\_pix(FR = 0) = \overline{pix\_on \cdot reset}. \quad (3.2)$$

$$rst\_pix(FR = 1) = \overline{pix\_on \cdot (lock + reset)}. \quad (3.3)$$

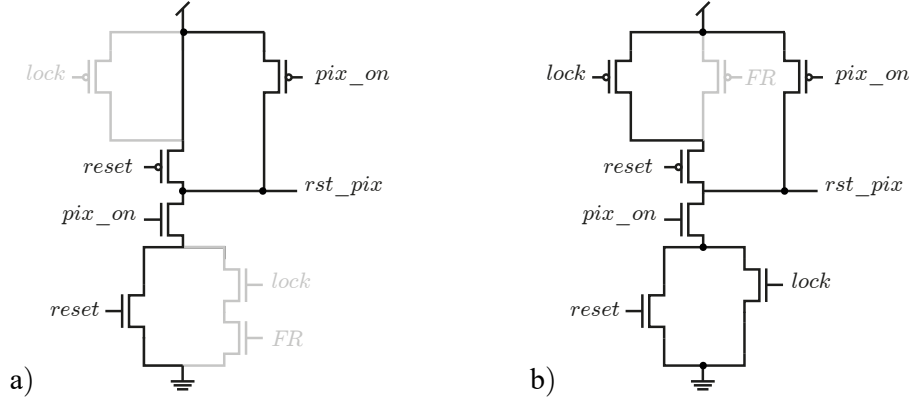


Figura 3.6. a) Lógica de reset cuando  $FR = 0$ . b) Lógica de reset cuando  $FR = 1$ .

### 3.4.3. Integración de carga

Una vez que el píxel ha sido reseteado y comienza el estado de sensado, el fotodiodo integra carga en la capacidad equivalente a la entrada del comparador  $C_{int}$ , la cual es la suma de todas las capacidades parásitas del nodo, dominada por la capacidad parásita de la unión,  $C_{ph}$ , y la capacidad de entrada del comparador  $C_{comp}$ .

Si se supone que la fotocorriente generada en el fotodiodo,  $I_{ph}$ , es constante durante todo el intervalo de integración, es decir, desde el flanco de bajada de *reset* hasta que el comparador cambia de estado, se puede obtener que dicho intervalo, denominado  $T_{int}$  es inversamente proporcional a  $I_{ph}$ , tal como se refleja en la expresión (3.4) [35].

$$T_{int} = \frac{C_{int}}{I_{ph}} (V_{DD} - V_{th}). \quad (3.4)$$

Como la capacidad de integración es aproximadamente la misma en una matriz de píxeles y del orden de decenas de  $fF$ , esta técnica permite obtener un mapa 2D de la iluminación de una escena en un tiempo muy rápido con un consumo muy bajo, predominado por el único elemento analógico del píxel, el comparador.

Por lo tanto, el tiempo total en el que una matriz de píxeles se encontrará sensando iluminación, es decir, consumiendo energía, será el tiempo de integración del píxel menos iluminado. Una corriente pequeña de, por ejemplo, 100 fA, tardaría 30 ms en descargar 150 mV con una capacidad de 20 fF, lo que supondría que el sensor podría sensar imagen durante un intervalo muy pequeño, permitiendo captar energía durante la mayoría del tiempo.

Además, dado que la sensibilidad del píxel se puede ajustar a través de  $V_{th}$ , este tiempo puede reducirse. Sin embargo la elección de este parámetro puede influir considerablemente en la medida como se estudiará más adelante.

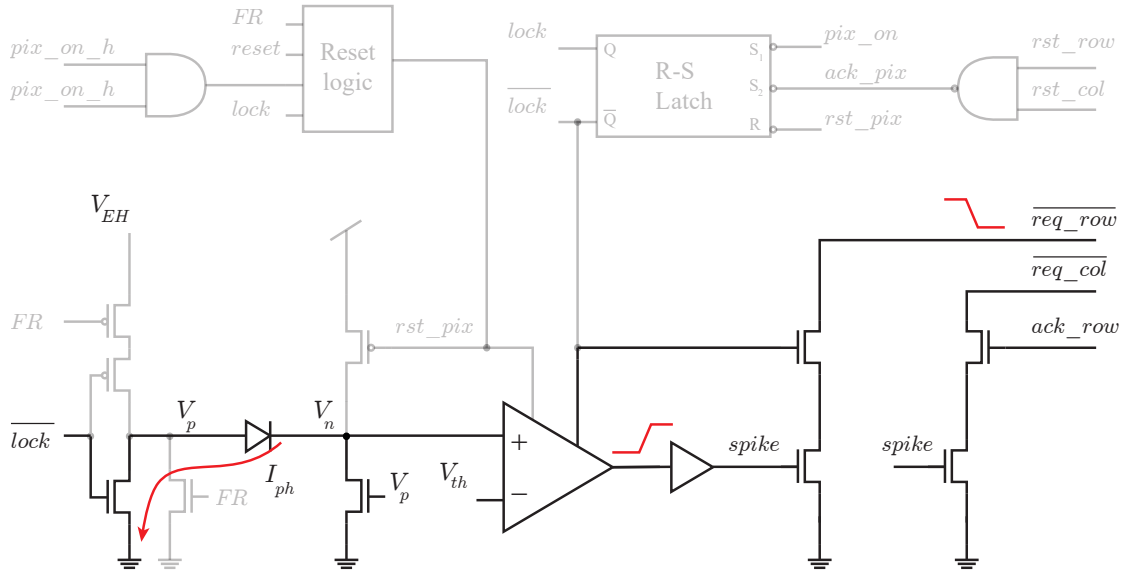


Figura 3.7. Integración de carga en el fotodiodo. La salida del comparador se encuentra a nivel alto si la tensión del cátodo del fotodiodo se encuentra por debajo de  $V_{th}$  y viceversa.

#### 3.4.4. Petición de lectura

Tal y como se ha comentado anteriormente, una vez que la tensión del cátodo del fotodiodo se encuentra por debajo de  $V_{th}$ , es decir, tras un tiempo  $T_{int}$ , la salida del comparador se pone a nivel alto, al igual que la señal *spike* tras el buffer digital. Ya que durante la etapa de sensado, la señal *lock* se encuentra a nivel alto y la señal *ack\_row* se encuentra inicialmente a nivel bajo, solo se realiza la petición por filas produciendo un flanco de bajada en el nodo compartido entre toda la fila de la matriz  $\overline{req\_row}$  (el cual tiene conectado un transistor de *pull-up* en el exterior de la matriz de píxeles), tal y como se ha representado en el cronograma tentativo de la Figura 3.8 (en el cual se ha supuesto que *pix\_on* se encuentra activa todo el tiempo).

En este momento, entra en acción la periferia, que se tratará con más detalle en el Capítulo 4. Una serie de arbitradores otorgará el permiso de lectura en el bus de salida a un determinada píxel. Para ello, se concede prioridad a la fila cuya petición ha llegado con anterioridad, activando la señal *ack\_row* correspondiente a dicha fila y colocando en un bus la dirección de la fila. Como el comparador se mantiene a nivel alto hasta que el píxel sea leído, al activar la señal *ack\_row* se genera una petición de columna produciendo un flanco de bajada en  $\overline{req\_col}$ , repitiendo el mismo proceso de arbitración y escritura en el bus.

Finalmente, cuando el periférico encargado de leer los buses con la posición del píxel y confirma que ha sido recibida, la periferia genera una señal de reset en la fila y en la columna de dicho píxel, *rst\_row* y *rst\_col* respectivamente, de manera que, gracias a la operación NAND, se bloquea el píxel leído, activando la señal *lock* y causando el corte el consumo de corriente del comparador, conmutando de nuevo los terminales del fotodiodo (si  $FR = 0$ ) y bloqueando la posibilidad de realizar una nueva petición.

Tras la descripción del proceso de petición de lectura y observando la Figura 3.8, se puede llegar a la conclusión de que el tiempo que se mide tras el proceso de arbitración y selección del píxel,  $T_{meas}$ , no es exactamente el tiempo de integración, si no que además, se añade un tiempo de retraso,  $t_d$ , el cual no es fijo. Este retraso se produce por diversos factores, los cuales son:

- El tiempo de decisión del comparador,  $t_{comp}$ . Dado que el comparador no es ideal y debe trabajar a tensiones muy bajas, consumiendo muy poca corriente, este tiempo no será despreciable y tendrá una ligera dependencia con la corriente del fotodiodo (pendiente de bajada),

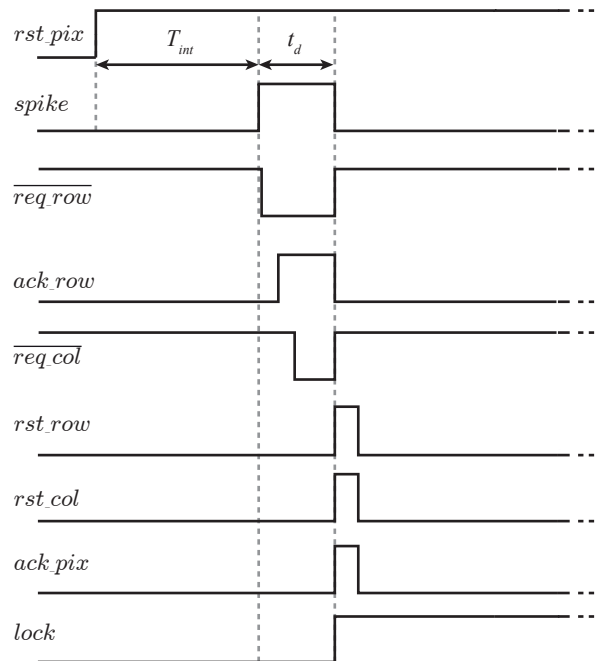


Figura 3.8. Cronograma de las señales involucradas en la operación del píxel con  $pix\_on = 1$ . Nótese que se han supuesto instantáneas las transiciones y no se ha incluido ningún retraso entre señales salvo el retraso en la señal *ack\_row*.

debido al ancho de banda finito y reducido del comparador.

- El retraso de las líneas,  $t_{line}$ , el cual depende de las coordenadas,  $x$  e  $y$  del píxel dentro de la matriz. Este retraso suele ser despreciable respecto al tiempo de integración, ya que suele ser del orden de 1 ns, mientras que el tiempo de integración va de 10  $\mu$ s hasta aproximadamente 100 ms.
- El retraso de la arbitración,  $t_{arb}$ . A pesar de que este retraso es constante e igual para todas las filas y columnas (si existe un rutado simétrico), este sufre una variación aleatoria debido a colisiones entre peticiones. Esto quiere decir que mientras un píxel puede ser atendido justo tras realizar la petición, otro puede tener que esperar a que se lean varios píxeles en el caso de que exista un número elevado de colisiones,  $n$ .
- El retraso de lectura por el periférico de salida,  $t_{readout}$ , el cual se puede considerar constante como primera aproximación.

Por lo tanto  $T_{meas}$  se puede expresar como:

$$T_{meas} = T_{int}(I_{ph}) + t_{comp}(I_{ph}) + t_{line}(x, y) + t_{arb}(n) + t_{readout}. \quad (3.5)$$

Esto quiere decir que, en medida lo posible, es necesario minimizar los términos asociados a los diversos retrasos, ya que aunque pueden ser despreciables para un valor alto de  $T_{int}$ , pueden producir un error considerable para valores bajos de  $T_{int}$  (alta iluminación).

### 3.5. Celda de memoria

Para el diseño de la celda de memoria, era necesario garantizar la operación a una tensión de alimentación muy reducida sin penalizar en gran magnitud el área. Debido a que, para determinado rango de tensión los transistores pueden empezar a trabajar en inversión débil, el uso de estructuras donde un transistor debe vencer un inversor, se convertían en inviables.

Por lo tanto, la implementación más sencilla es la de un biestable SR formado por puertas NAND. Si además, una de estas puertas cuenta con tres entradas, como en el caso de la Figura 3.9, se pueden utilizar dos de ellas para activar la entrada ( $S_1$  y  $S_2$ ).

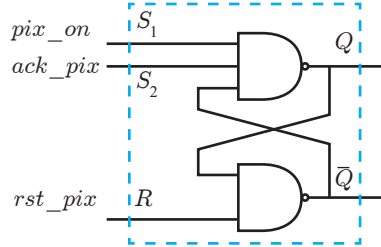


Figura 3.9. Latch SR utilizado en el píxel.

Debido a que las transiciones de las señales de entrada dependen de la señal de salida, se puede estudiar la temporización de dicho bloque de manera que se eviten estados metaestables. Simulando el caso más desfavorable, donde la petición del píxel causa automáticamente un reset del mismo, no se observó ningún caso de metaestabilidad en ninguno de los corners.

### 3.6. Comparador

La parte más crítica del diseño del píxel, debido a dominar el consumo de potencia y su gran importancia en el funcionamiento del mismo, es el comparador. Sin embargo, este bloque no solo posee restricciones en el consumo, sino que además se encuentra limitado en área con el objetivo de limitar el pitch del píxel.

Debido a que las limitaciones en área restringían el uso de topologías más apropiadas para una operación con tensiones de alimentación tan reducidas, se optó por utilizar una primera etapa compuesta por un OTA simple y una segunda etapa compuesta por un inversor para conseguir ganancia, tal y como se muestra en la Figura 3.10. La principal desventaja de esta topología es que, a las tensiones de alimentación deseadas, la mayoría de los transistores trabajarán en inversión débil.

Para garantizar la operación, el transistor  $M_{nEn}$  corta el consumo de corriente (reduciéndolo a la corriente de fuga) y  $M_{pR}$  se encarga de resetear la salida del comparador para evitar que esta tome el valor alto durante el reset del píxel. Por otra parte, el transistor  $M_{pb}$  que actúa como fuente de corriente debería estar polarizado tal que su corriente no sobrepasara los 100 pA, lo que supone que no se pueda conseguir una ganancia y un ancho de banda elevado. Es importante destacar que es imprescindible diseñar esta fuente de corriente para que trabaje en régimen de saturación dentro de inversión débil ( $V_{DS} > 4 \cdot U_t$ ) [65], con el objetivo de evitar fluctuaciones con dependencia exponencial en la corriente, intentando maximizar su longitud para maximizar su impedancia de salida y reducir el mismatch entre píxeles.

Con el objetivo de maximizar la ganancia del amplificador, dado que la transconductancia del par diferencial se ve limitada por la corriente de polarización, resultaría buena práctica maximizar las longitudes tanto del par diferencial como de la carga activa, sin embargo, esto conllevaría un gran aumento del área y puede no ser factible. Ajustando correctamente la tensión  $V_{bias\_comp}$ , se puede lograr una ganancia de 22 dB y un producto ganancia ancho de banda,  $GBW$ , de 14.1 kHz con un consumo de 84 pA, tal y como se ha reportado en la Tabla 3.2.

Por otra parte, para justificar la elección del par de entrada tipo P, hay que tener en cuenta que la tensión de entrada es decreciente (cátodo del fotodiodo). Esto supone que, si se utilizara un par diferencial tipo N, conforme la tensión del fotodiodo disminuye, la tensión de la fuente de corriente también lo haría, la cual, al estar polarizada en la región subumbral, sufriría grandes cambios, deteriorando la respuesta del comparador.

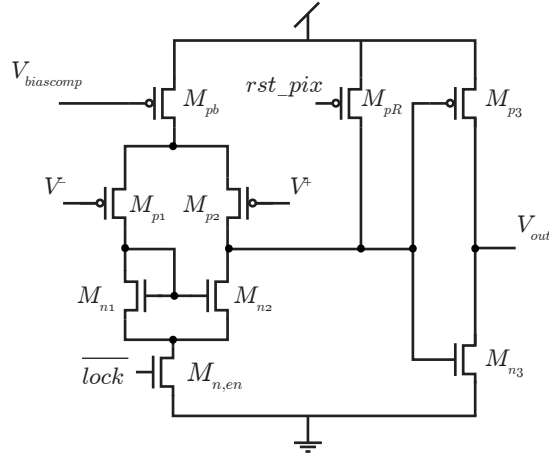


Figura 3.10. Comparador utilizado en el píxel.

TABLA 3.1  
TAMAÑO DE LOS TRANSISTORES DEL COMPARADOR.

$M_{pb}$	$M_{p1}/M_{p2}$	$M_{n1}/M_{n2}$	$M_{n,en}$	$M_{pR}$	$M_{p3}$	$M_{n3}$
7.04/0.4	3.52/0.18	1.76/2	0.88/0.3	0.88/0.2	0.44/0.3	0.44/0.3

Una diferencia respecto a implementaciones anteriores [66], es que la segunda etapa en lugar de ser un inversor, era un amplificador fuente común NMOS. En este diseño no era factible debido a que supondría un aumento en el consumo y la subida de la tensión de salida se vería afectada por el *slew-rate* si se utiliza una corriente de polarización tan pequeña como en la primera etapa. Sin embargo, el uso de un inversor (trabajando en inversión débil) en la etapa de salida, causa que el punto de conmutación entre ambas etapas no esté relacionado.

TABLA 3.2  
CARACTERÍSTICAS DEL COMPARADOR DEL PÍXEL.

$I_{bias}$	$V_{DD}$	$A_v$	$GBW$
84 pA	450 mV	22 dB	14.1 kHz

### 3.6.1. Simulación del comparador

Para verificar la funcionalidad del comparador bajo las posibles condiciones de funcionamiento que se podrían encontrar en la operación real, se debe verificar, en primer lugar, que el comparador es capaz de funcionar, con un retraso considerable, dentro del rango de tensiones que puede proporcionar una celda fotovoltaica, es decir, entre aproximadamente 250 mV y 450 mV [6]. Además, hay que tener en cuenta que existe una relación entre el tiempo de integración y la tensión de alimentación, de manera que si la alimentación es reducida, sería señal de que la fotocorriente de la mayoría de los píxeles es baja, lo que supone un alto tiempo de integración.

La Figura 3.11a, donde el eje horizontal hace referencia al tiempo que la entrada del comparador tarda en alcanzar el valor  $V_{th}$  (lo que hemos llamado  $T_{int}$  en la Sección 3.4.3), muestra cómo varía con la tensión de alimentación (manteniendo constante la corriente de polarización) el tiempo de comparación relativo a dicho tiempo, entendiendo como tiempo de comparación el tiempo que tarda la salida en alcanzar el valor medio de  $V_{DD}$  una vez que las entradas del comparador se cruzan.



Como se puede observar, para una tensión de alimentación de 450 mV el rango temporal en el que el tiempo añadido no es dominante frente a  $T_{int}$  aumenta en aproximadamente una década.

Sin embargo, a partir de aproximadamente 100  $\mu$ s, el retraso relativo apenas varía con la alimentación. Esto es debido a que, tanto el ancho de banda, como la ganancia del comparador se ve gravemente penalizado cuando disminuye la alimentación. En la Figura 3.11b se ha representado un detalle para los tiempos comprendidos entre 1 ms y 100 ms, rango esperado en la mayoría de píxeles con iluminación ambiente [67], donde se observa que el retraso añadido sea menor que el 10%. Aunque puede sorprender que aparezca un "retraso negativo", esto es debido a que, como se ha comentado con anterioridad, el punto de conmutación de ambas etapas no es el mismo, de manera que la segunda etapa puede presentar una salida a nivel alto mientras que la primera etapa sigue disminuyendo su tensión de salida.

Por otra parte, a la hora de diseñar un circuito integrado, es imprescindible verificar que la funcionalidad del diseño no se pierda en los distintos corners proporcionados por el fabricante. La Figura 3.12a muestra cómo varía el retraso aportado por el comparador en los distintos corners con una alimentación de  $V_{DD} = 300$  mV y  $V_{th} = 150$  mV. Como era obvio, el corner donde ambos tipos de transistores son más lentos (*slow-slow*), añade un mayor retraso de comparación. Sin embargo, ajustando la tensión de polarización si se ha diseñado con el margen suficiente, se podría conseguir una corriente similar y mejorar el rendimiento. La Figura 3.12b muestra de nuevo un detalle para las tres últimas décadas donde se observa que, salvo en el corner *slow-slow*, el error añadido no es dominante.

Por último, también resulta interesante estudiar cómo afecta la variación en la tensión de referencia del comparador. La Figura 3.13a muestra, en el corner nominal, cómo varía el retraso añadido por el comparador para  $V_{DD} = 300$  mV. De nuevo, se ha representado un detalle de las últimas tres décadas en la Figura 3.13b. En este caso, se puede observar cómo si la tensión de referencia  $V_{th}$  se aleja de la mitad del rango de alimentación, se añade un retraso sistemático debido a que se está modificando el punto de conmutación de la primera etapa. Esto nos indica que es posible calibrar el comparador para intentar que ambas etapas conmuten en el mismo punto y que ajustar la sensibilidad mediante este parámetro puede añadir un retraso considerable en la señal.

### 3.6.2. Análisis Montecarlo

Resulta crucial en la operación que los comparadores de todos los píxeles de la matriz presenten características similares en cuanto a resolución y velocidad, ya que cualquier tipo de variación que causara que un comparador fuera más rápido que otro, podría causar que un píxel menos iluminado realizara una petición antes que otro más iluminado, lo que se traduciría en un falseo en la información.

A diferencia de los sensores de imagen tradicionales (APS) que buscan obtener una imagen nítida lo más parecida a la realidad, los sensores de visión buscan extraer la información de la escena, así como conseguir maximizar otras características del sensor (como mejorar el rango dinámico o la velocidad), aunque la imagen obtenida no sea tan fiel a la realidad como la de los primeros. Esto significa que, para la aplicación concreta, cierto grado de mismatch en el sensor es admisible (aunque no deseable) [68].

Por lo tanto, sabiendo que existirán variaciones entre los distintos comparadores de la matriz y conociendo la tolerancia que aporta el fabricante, es necesario intentar reducir al máximo las variaciones en el tiempo de comparación para un mismo estímulo. El escenario más desfavorable, donde las variaciones serán más notables, es cuando la fotocorriente generada toma valores bajos, ya que para valores altos, la principal limitación será el *GBW*, que no debería variar en exceso con las variaciones. Una fotocorriente baja, por ejemplo de 100 fA, supondría que la tensión del cátodo disminuiría lentamente y el tiempo de comparación variaría en función de las variaciones de la resolución estática del comparador y del offset.

Para minimizar el efecto del mismatch en el comparador, además de intentar maximizar los

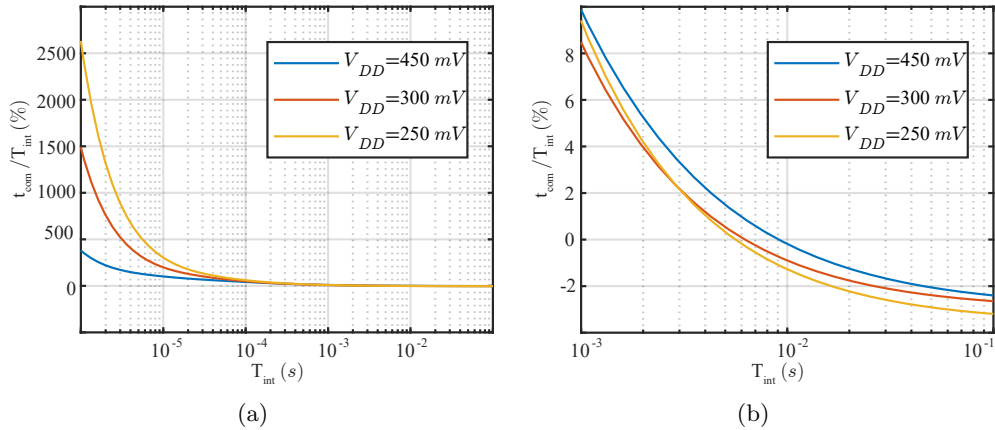


Figura 3.11. a) Tiempo de comparación relativo al tiempo de integración para diferentes valores de alimentación con  $V_{th} = V_{DD}/2$ . b) Detalle en las últimas tres décadas.

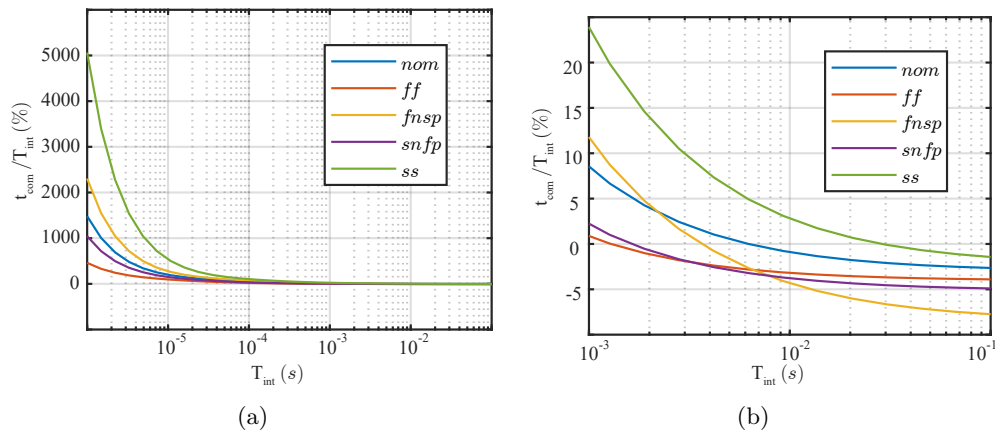


Figura 3.12. a) Tiempo de comparación relativo al tiempo de integración en los distintos corners para  $V_{DD} = 300 \text{ mV}$  y  $V_{th} = 150 \text{ mV}$ . b) Detalle en las últimas tres décadas. *ff* : fast-fast, *fnsp* : fast n-slow p, *snfp* : slow n-fast p, *ss* : slow-slow.

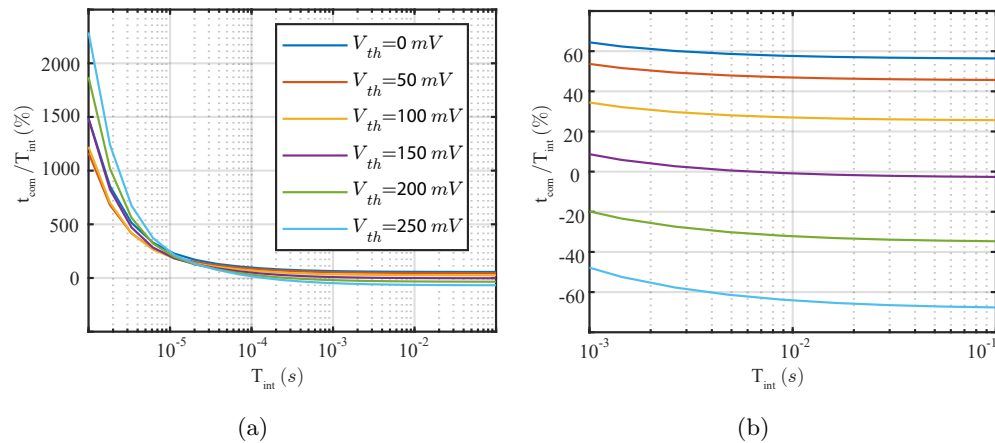


Figura 3.13. a) Tiempo de comparación relativo al tiempo de integración para diferentes valores de  $V_{th}$ . b) Detalle en las últimas tres décadas.

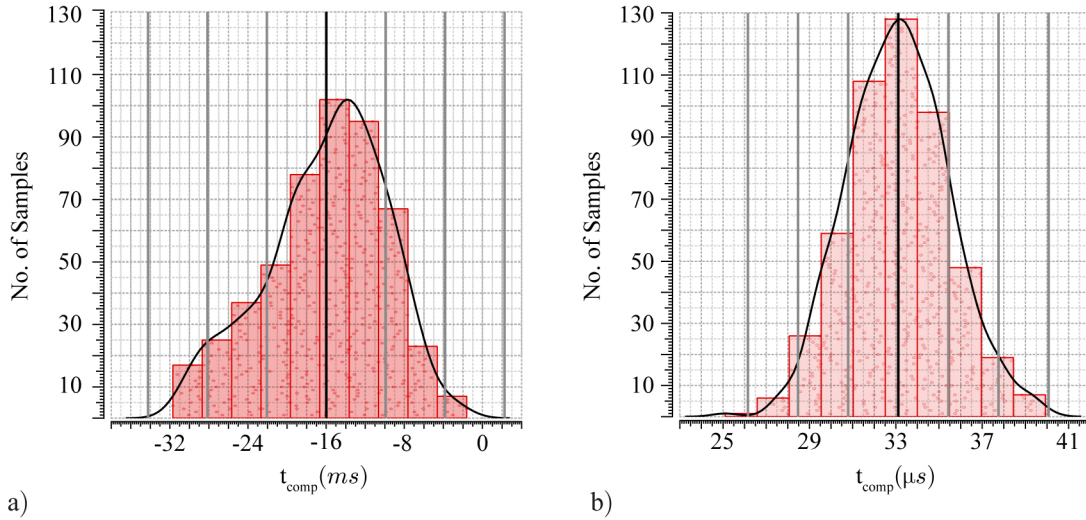


Figura 3.14. Análisis Montecarlo del comparador para un tiempo de bajada correspondiente a una corriente de a) 100 fA. b) 100 pA

tamaños de los transistores dentro de lo posible, resulta muy importante garantizar especialmente que las variaciones en la fuente de corriente causen las mínimas variaciones en la corriente de polarización, ya que esto causaría grandes variaciones en la velocidad del comparador.

Un análisis de Montecarlo con 500 muestras se ha realizado, para una corriente de 100 fA y 100 pA, alimentando el comparador a 350 mV. Los histogramas obtenidos se han representado en la Figura 3.14 y los valores medios,  $\bar{\mu}$ , de desviación típica absoluta,  $\sigma$ , y relativa,  $\sigma/\bar{\mu}$  se han recogido en la Tabla 3.3. Como se observa, para una corriente de 100 pA, el mismatch introduce variaciones temporales de entorno al 7% del valor medio, lo que se traduciría en artefactos notables por el ojo humano, pero sin llegar a deteriorar la información de la escena en exceso. Por el contrario, cuando se realiza el análisis con una corriente de 100 fA, las variaciones aumentan considerablemente, alcanza una desviación típica respecto al valor medio del 37,5%. El efecto de estas variaciones se estudiará en detalle en el Capítulo 5. Cabe recordar que el tiempo de comparación negativo viene causado debido a que el punto de conmutación de las etapas del comparador no es el mismo.

TABLA 3.3  
ANÁLISIS MONTECARLO DEL TIEMPO DE COMPARACIÓN.

$I_{ph}$	$\bar{\mu}$	$\sigma$	$\sigma/\bar{\mu}$ (%)
100 fA	-15.99 ms	6.07 ms	37,5 %
100 pA	33.10 $\mu$ s	2.31 $\mu$ s	6,97 %

Dado que los histogramas de la Figura 3.14 muestran que la distribución es aproximadamente Gaussiana (o al menos, en el caso de mayor iluminación), nos permite establecer unos intervalos de confianza donde se encontraría la media de la población (no la media de la muestras) con una probabilidad del 95% entre  $2,31 \pm 0,14 \mu$ s para el caso de 100 pA y entre  $-15,99 \pm 0,37$  ms para el caso de 100 fA.

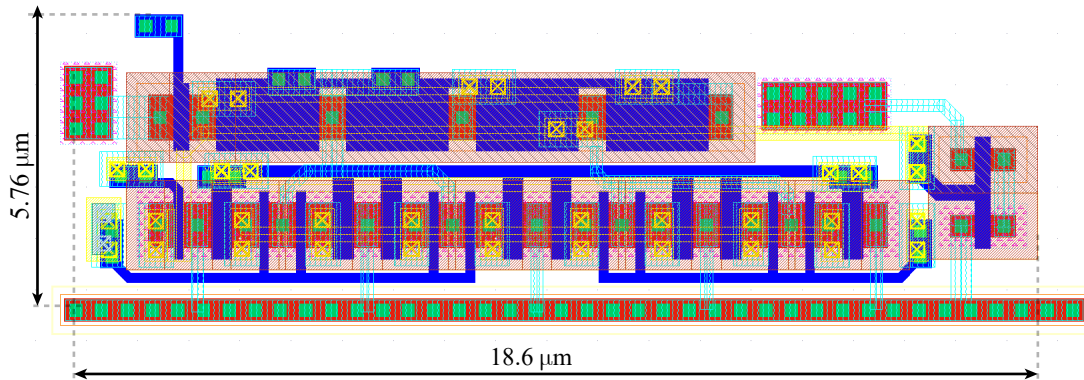


Figura 3.15. Layout del comparador del píxel

### 3.6.3. Layout del comparador

Para reducir problemas inducidos por variaciones geométricas y de gradientes en los transistores de un mismo comparador, se ha intentado, dentro de lo posible, realizar un layout simétrico, tal y como se puede observar en la Figura 3.15. Sin embargo, utilizar una estructura de centroide común penalizaría en gran magnitud al área del comparador y por ende, del píxel debido al gran tamaño de las vías.

El comparador solo utiliza las dos primeras capas de metal, ya que el resto de capas se utilizaron para rutar las señales compartidas tanto horizontal como verticalmente.

Las simulaciones post-layout realizadas fueron muy similares a las simulaciones anteriores y no se han incluido por ser prácticamente redundantes.

## 3.7. Fotodiodo

La Figura 3.7 muestra que el fotodiodo que requiere el píxel diseñado, se debe poder conectar a una tensión arbitraria en ambos terminales. Dado que en una tecnología planar, el sustrato está conectado a la tensión más negativa (tipo P) o a la más positiva (tipo N), cuando se desea formar un diodo en el que interviene el sustrato, este posee un terminal conectado a una tensión fija, siendo la única opción en una tecnología estándar, la unión entre pozo y difusión. Sin embargo, al ser una unión demasiado superficial, la eficiencia cuántica de dicho fotodiodo no es muy elevada [51].

Para paliar la limitación anterior, las tecnologías de triple pozo permiten crear pozos aislados del mismo tipo que el sustrato, como se comentó en la Sección 2.3.2. Si se supone que el sustrato es tipo P, esto no solo significa que es posible fabricar dispositivos NMOS con sustrato aislado, sino que también se puede crear una unión PN vertical entre el denominado *Deep-N-Well* (*DNW*, capa que aísla el pozo del sustrato) y el pozo P, siendo esta mucho más eficiente que la anterior [51]. Pero además, si a dicha estructura se añade una difusión tipo N dentro del pozo conectada al *DNW*, como muestra la Figura 3.16(a), se puede añadir un diodo  $D_2$  en paralelo que no solo añadiría un aporte extra de corriente a la hora de recolectar energía, sino que además presentaría una tensión de circuito abierto mayor que la estructura formada únicamente por  $D_1$  [6], aspecto fundamental en el diseño. Además, la unión entre *DNW* y sustrato, la más eficiente de todas, se encuentra intrínsecamente unida a la estructura, como se muestra en la Figura 3.16(b), sin embargo, esta unión se encuentra cortocircuitada cuando se está recolectando energía (Figura 3.16(c)) y contribuye cuando se está integrando carga (Figura 3.16d).

Hay que tener en cuenta que la asociación en serie de estos fotodiodos (lo que permitiría aumentar la tensión entre los terminales de la celda equivalente), supondría polarizar en inversa la

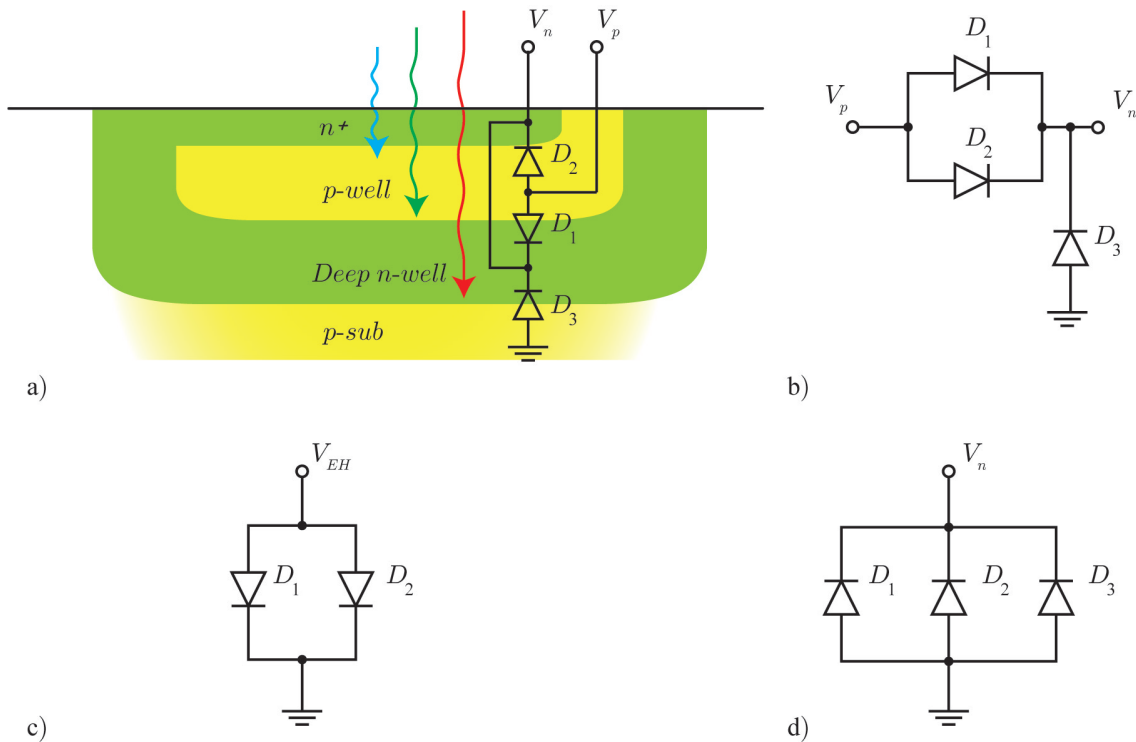


Figura 3.16. a) Configuración de fotodiodo con ambos terminales accesibles. b) Circuito equivalente. c) Circuito equivalente en recolección de energía. El diodo  $D_3$  se encuentra cortocircuitado. d) Circuito equivalente en el periodo de integración.

unión con el sustrato de la estructura superior, degradando su funcionamiento.

En la Figura 3.17 se puede observar el layout del fotodiodo, cuyo tamaño es de  $11\ \mu\text{m} \times 10.6\ \mu\text{m}$ , lo que supone un área activa de  $116.6\ \mu\text{m}^2$ . También se han recortado las esquinas del fotodiodo para evitar que se creen grandes campos eléctricos en dichas zonas y deterioren el funcionamiento del fotodiodo. Es importante recordar que en un proceso de fabricación CMOS, la zona activa sufre un proceso de *salicide* (*self-aligned silicide*), en el que reacciona con una delgada capa de metal para aumentar su conductividad. Esto supone añadir una capa con cierto grado de opacidad que causaría la degradación del fotodiodo como elemento de sensado, por lo que resulta necesario añadir la capa corriente para indicar al fabricante que no se desea añadir dicha capa, además de indicar que no se deben añadir *dummies* de metal que obstaculicen el paso de la luz.

### 3.8. Layout del píxel

Finalmente, el layout completo del píxel se puede observar en la Figura 3.18(a), mientras que los distintos bloques que lo formaban se han representado en la 3.18(b). El píxel es completamente cuadrado, es decir, presenta el mismo pitch vertical y horizontal (lo que facilitará el layout de la periferia) igual a  $19.5\ \mu\text{m}$ , lo que supone un Fill Factor,  $FF$ , del 30,66%. Para reducir el pitch de dicho sensor se ha compartido el pozo N (qué rodea al píxel en forma de C invertida) y los contactos a pozo. Nótese que, ya que se utilizó el penúltimo metal para rutar la referencia y el sexto metal (menos resistivo debido al espesor) para rutar el nodo  $V_{EH}$ , se decidió crear una gran capacidad *MiM* sobre el array (con una distancia prudente al fotodiodo, evitando que metales altos interfieran en el paso de la luz), obteniendo un valor de  $192\ \text{fF}$  por píxel, que, en un array de  $128 \times 128$ , supondría una capacidad equivalente de  $3.14\ \text{nF}$ , intentando estabilizar la tensión de

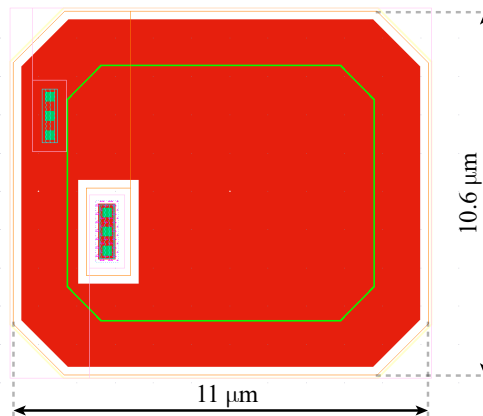


Figura 3.17. Layout del fotodiodo utilizado.

dicho nodo y poder utilizar dicha capacidad como capacidad de entrada de un posible convertidor DC-DC.

A pesar de presentar un diseño compacto, es importante destacar que los transistores encargados de realizar las peticiones, deben presentar una relación de aspecto lo suficientemente grande para poder descargar la capacidad parásita de las líneas de petición (las cuales crecen con el número de píxeles) con un nivel de inversión tan bajo. Ya que aumentar el ancho del transistor también supone el aumento de la capacidad parásita del drenador y por cada línea de petición hay dos transistores en serie, una buena práctica consiste en colocar el transistor que actúa como switch (los conectados a *lock* y a *ack\_row*) en la parte superior, para minimizar la capacidad de la línea.

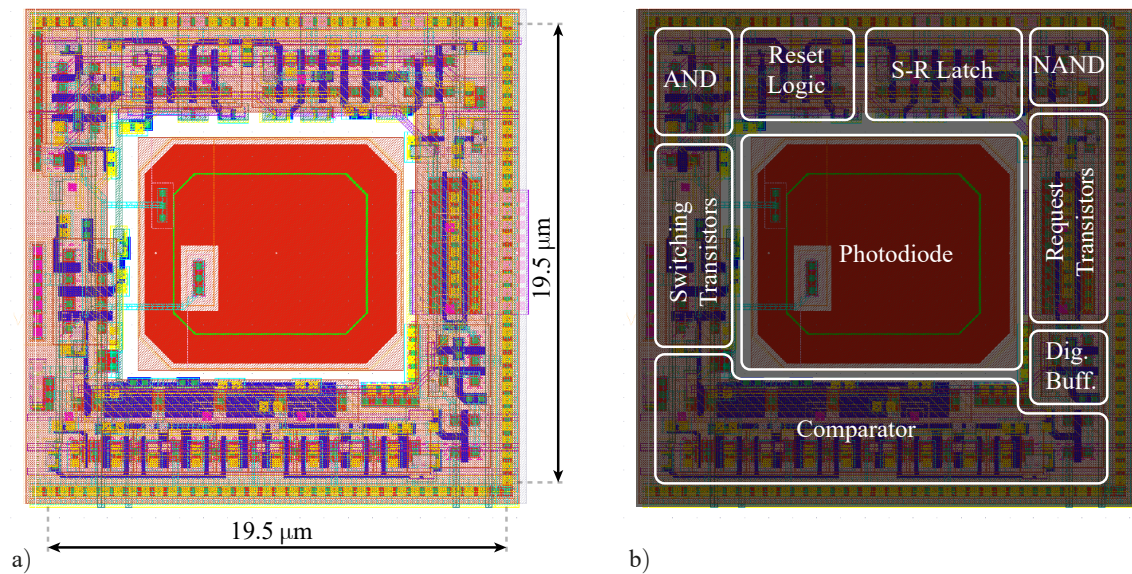


Figura 3.18. a) Layout del píxel completo. b) Diferentes bloques que forman el píxel.

Es interesante comentar que si se elimina la función de *Free-Running* y la doble señal de activación (*pix\_on\_h* y *pix\_on\_v*, para la activación parcial), el pitch del píxel puede reducirse hasta las 17  $\mu\text{m}$ , superando el reportado por ciertos sensores que se encuentran dentro del estado del arte [16], a pesar de que tecnologías que utilizan integración 3D y *Backside Illumination*, logran una ventaja sistemática.



### 3.9. Simulación del píxel

A pesar de que la verificación funcional del píxel se realizó mediante el esquemático, antes de abordar el layout de la celda, solo se mostraron los resultados de simulación post-layout, ya que muestran un resultado más parecido al que se obtendrá tras la integración.

La primera simulación consiste en verificar que las señales de la celda implementada realmente son las deseadas, es decir, las mismas que se han representado en 3.8. Para ello se realizó lo siguiente:

- Como fotodiodo se utilizó un modelo en Verilog-A intentando obtener curvas I-V parecidas a las reportadas en [6]. Se utilizó una fotocorriente de 100 pF, cuya tensión de circuito abierto resultaba aproximadamente 350 mV.
- Se añadió a las líneas de petición la capacidad parásita extraída en una fila/columna de 128 píxeles (0.7 pF).
- Se conectó la inversa de la señal  $\overline{req\_row}$  a la señal  $ack\_row$  para realizar inmediatamente la petición por columnas.
- Se conectó la inversa de  $\overline{req\_col}$  a  $rst\_row$  y  $rst\_col$  para bloquear inmediatamente el píxel.
- El nodo  $V_{EH}$  se conectó a  $V_{DD}$  para alimentar al circuito, junto a la capacidad correspondiente a un único píxel de la capacidad total que se añadirá off-chip (1  $\mu$ F) en una matriz de  $128 \times 128$  píxeles.
- Se tomó  $V_{th}$  como la mitad de la tensión de alimentación, es decir, 175 mV.

El resultado obtenido simulando con una corriente de 50 pA, suponiendo una tensión de circuito abierto equivalente en todo el array de aproximadamente 350 mV y una  $V_{th}$  de 175 mV, se puede observar en la Figura 3.19(a) para  $FR = 0$  y en la Figura 3.19(b) para  $FR = 1$ .

Para el caso de  $FR = 0$ , se observa que, tras activar  $pix\_on$  (AND de señal vertical y horizontal), el fotodiodo conmuta y se precarga a la tensión de alimentación durante el tiempo que solapa esta señal con  $reset$  (100  $\mu$ s). Es importante destacar que durante el intervalo de reset, el píxel consume una corriente aproximadamente igual a la fotocorriente, por lo que este intervalo debe ser lo más pequeño posible, ya que como se observa en la Figura 3.19(a), resetear el píxel supone una caída de tensión considerable respecto a la operación.

Tras el flanco de bajada de  $reset$ , el fotodiodo integra carga con una corriente aproximadamente constante hasta que sobrepasa la tensión  $V_{th}$ , lo que supone que el comparador dispare, activando la señal  $spike$ . Esta señal causa que se realice una petición por filas y posteriormente por columnas, para finalmente bloquear el píxel activando la señal  $lock$ . Como se observa, una vez que el píxel se bloquea, este comienza a contribuir a la alimentación, la cual aumenta lentamente, requiriendo un tiempo relativamente largo para alcanzar la carga completa (a no ser que el resto de píxeles que hubiera en el sensor, contribuyeran con una mayor corriente).

Dado que la caída de tensión no es excesiva durante la operación (para este caso, de aproximadamente 2.2 mV), el sensor podría tomar cierto número de imágenes hasta alcanzar un nivel mínimo de tensión definido, a partir de cual se debería realizarse la carga de la capacidad externa/batería hasta alcanzar un segundo límite. Claramente, vuelve a aparecer un nuevo compromiso entre caída de tensión aceptable y tiempo de carga completa en función del valor de la capacidad externa. Se ha comprobado que el píxel es capaz de funcionar hasta los 250 mV (degradando en gran medida sus características de velocidad).

Por otra parte, para el caso de  $FR = 1$ , se observa cómo, tras bloquear el píxel, este se vuelve a precargar para comenzar una vez más la integración de carga. El resultado es una señal oscilando con un periodo igual al tiempo de integración. Sin embargo, el consumo del píxel se eleva al aumentar el tiempo de operación y precargar continuamente el nodo, por lo que este modo solo debería ser utilizado cuando se cuente con una alimentación externa o cuando el nivel de iluminación sea tan elevado que lo permita.

Una limitación que se encontró en la operación del píxel fueron las corrientes de fugas que aparecían en los transistores encargados de conmutar y resetear el fotodiodo cuando estos estaban apagados. El uso de transistores de 3.3 V se convertía inviable debido a que presentaban un nivel de inversión menor y no eran capaces de competir contra fotocorrientes elevadas (por ejemplo, 1 nA)

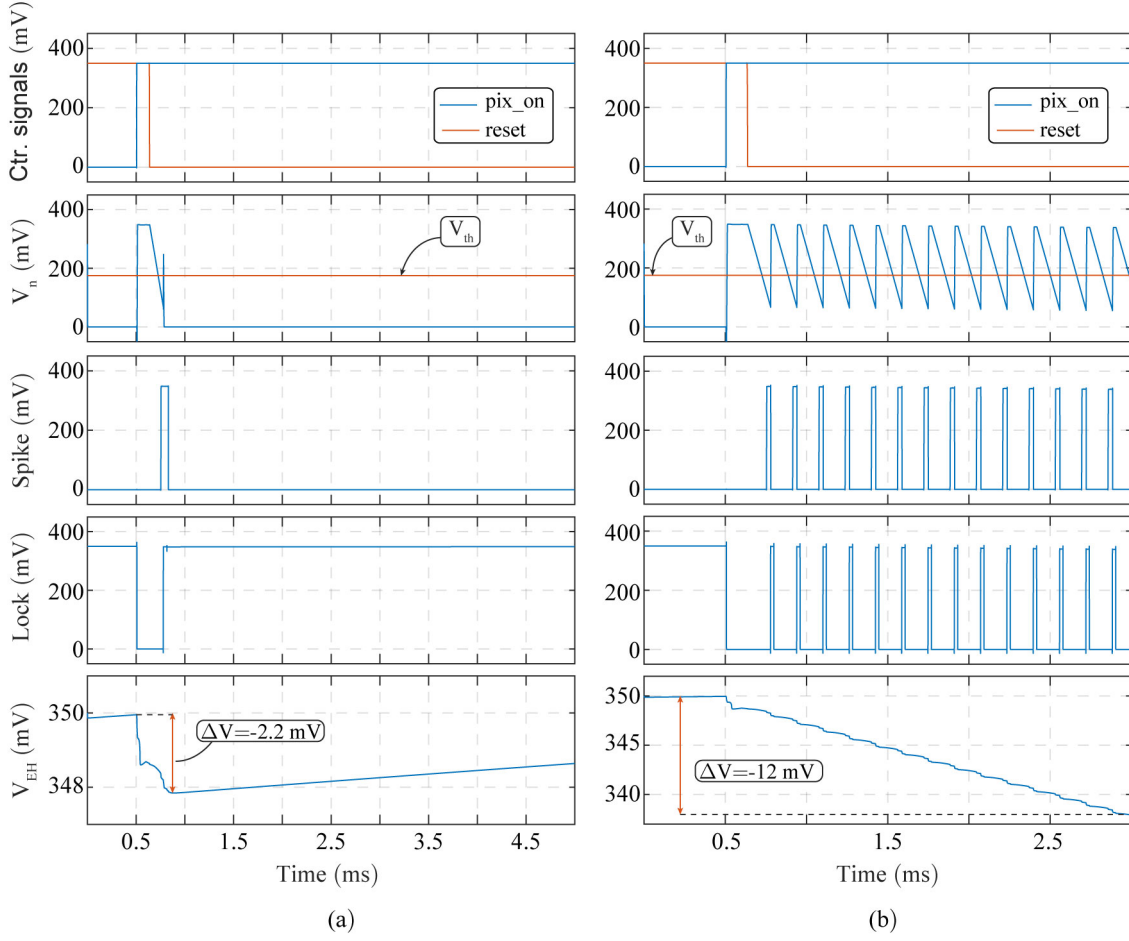


Figura 3.19. Simulación del píxel con  $I_{ph} = 50 \text{ pA}$ ,  $V_{oc} \simeq 350 \text{ mV}$  y  $V_{th} = 175 \text{ mV}$  para: a)  $FR = 0$  (*Time-to-First-Spike*). b)  $FR = 1$  (*Free-Running*).

durante el reset, por lo que era necesario utilizar transistores de  $1.8 \text{ V}$ . Esto supone el aumento de dichas fugas, a costa de aumentar el límite superior del rango de corrientes. En este momento surgía un compromiso entre aumentar el límite superior, ya que aumentar el ancho del transistor de reset permitía resetear una fotocorriente mayor a costa de mayores fugas que limitaban la corriente mínima que se podía integrar. Para optimizar el rango dinámico, se intentó dimensionar los transistores para compensar las fugas del transistor  $M_{rst}$  con las fugas de  $M_{n2}$ , cosa que no garantiza que se cumpla tras la integración ya que el punto óptimo varía con los corners.

Por otra parte, como se ha comentado en la Sección 3.6, es necesario verificar que el píxel es capaz de funcionar correctamente para un rango amplio de corrientes, es decir, codificar en el tiempo de integración el valor de la corriente de manera que pueda obtener una representación fidedigna del mapa de iluminación del plano 2D. Ya que según la expresión (3.4) la relación entre el tiempo de integración y la fotocorriente es inversamente proporcional, dicha respuesta se puede linealizar aplicando logaritmos en ambas partes de la expresión. Por lo tanto, una buena figura de mérito del píxel resulta cómo de lineal es la curva  $T_{meas} - I_{ph}$  en una representación logarítmica en ambos ejes.

La Figura 3.20 muestra dicha curva para una alimentación de  $350 \text{ mV}$  y una  $V_{th}$  de  $175 \text{ mV}$  en todos los corners, donde  $T_{meas}$  aún no incluye el retraso inducido por colisiones en la periferia o del periférico de lectura. Como se observa, para el caso nominal se consigue cubrir correctamente un



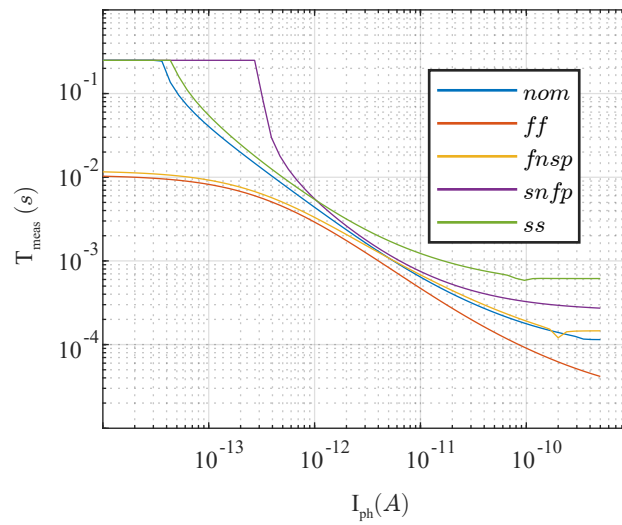


Figura 3.20. Relación entre el tiempo de disparo del comparador y la fotocorriente para los diferentes corners. *ff* : fast-fast, *fnsp* : fast n-slow p, *snfp* : slow n-fast p, *ss* : slow-slow.

rango de cuatro décadas (80 dB), aunque se puede lograr aumentar el rango dinámico si aumenta la tensión de alimentación. También es destacable que en los distintos corners, debido al desbalance de las corrientes de fuga, el extremo inferior de la curva varía considerablemente, por ejemplo, en el corner *snfp*, las fugas del transistor  $M_{n2}$  predominan y la mínima corriente que puede integrarse es de 300 fA. Nótese que las zonas donde la curva es completamente horizontal, coincide con el tiempo de simulación, ya que el píxel no ha disparado durante la operación debido a que las fugas eran dominantes.



# Capítulo 4

## Estructura del sensor

Una vez estudiado y presentado el píxel diseñado, resulta necesario introducir la estructura completa del sensor, incluyendo la matriz de píxeles y los distintos bloques que componen la periferia.

La Figura 4.1, muestra un esquema tentativo de la arquitectura del sensor. Como se observa, la periferia se puede dividir en dos grandes bloques, un primer bloque que se repite tanto en el lado derecho como en el superior, encargado de la arbitración y comunicación AER y otro en los lados restantes, encargado de la selección de la ROI. Además, se ha añadido un interruptor en la alimentación de la matriz de píxeles (distribuido alrededor de la matriz) para reducir el consumo estático debido a fugas.

Con el objetivo de reducir de aprovechar al máximo el área del dado, todas las celdas se diseñaron, en medida de lo posible, para que el pitch (horizontal o vertical) coincidiera con el pitch del píxel.

El resto de secciones de este capítulo se centrarán en explicar uno a uno los elementos que forman la periferia, detallando los requerimientos y limitaciones que se han ido encontrando a la hora de intentar cumplir las especificaciones del diseño.

### 4.1. Arbitración y comunicación AER

El primero de los bloques, es el encargado de la arbitración y comunicación AER, el cual está compuesto de los siguientes sub-bloques:

- Buffers de entrada y salida. Son los encargados de regenerar las señales de petición y aceptación, para evitar posibles *glitches* debido a tiempos de subida y bajada demasiado elevados.
- Level Shifters de 0.3 V a 1.8 V. En caso de que la periferia se desee alimentar a una tensión diferente a los píxeles, es necesario adaptar los niveles lógicos.
- Lógica de comunicación AER. Este bloque genera las señales que bloquean los píxeles tras su lectura y se comunica con el periférico de lectura para indicar que hay un nuevo dato disponible.
- Árbol de arbitración. Es el bloque encargado de realizar la arbitración ante las diferentes peticiones.

Dichos bloques se estudiaron y caracterizaron uno a uno, tratando de verificar la funcionalidad bajo las condiciones de operación y estimar el comportamiento esperado en un sensor con gran cantidad de píxeles.

#### 4.1.1. Buffers de entrada y salida

El uso de etapas encargadas de regenerar las señales digitales, son indispensables en un circuito electrónico, tanto para evitar *glitches* debidos a largos tiempos de subida y bajada, como para

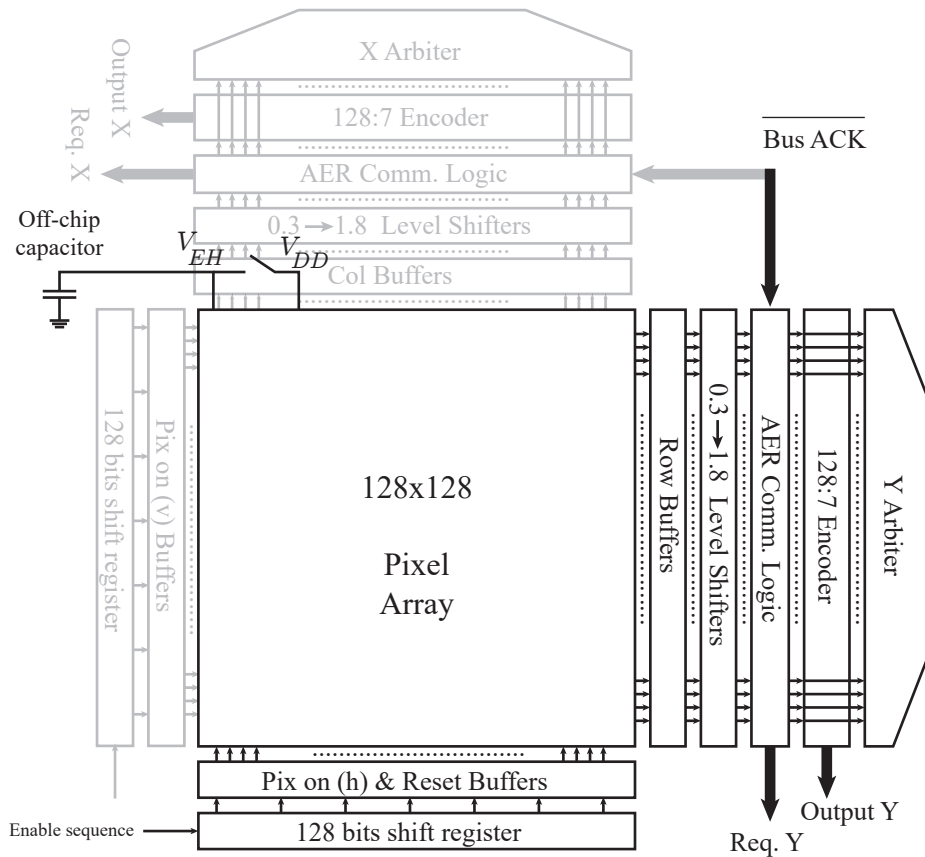


Figura 4.1. Esquema conceptual de la estructura del sensor.

obtener unos niveles lógicos bien definidos. El uso de señales compartidas entre un número elevado de píxeles, supone la aparición de capacidades parásitas elevadas debido a la longitud de la línea y a la conexión de transistores a esta, lo que unido al bajo nivel de inversión que se espera en los transistores encargados de realizar las peticiones, supone la aparición de tiempos de subida y bajada considerablemente elevados. Además, debido a la naturaleza asíncrona del sensor, la aparición de *glitches* puede desencadenar en un fallo en la operación que puede desencadenar desde la corrupción de la información hasta la degradación total de funcionalidad del sensor. Por lo tanto, el uso de buffers es altamente recomendable en este tipo de sensores.

Sin embargo, también es importante destacar que las señales de salida ven una carga bastante pequeña, en comparación de la que ven las señales de entrada, ya que estas últimas deben de cargar con toda la línea, mientras que las primeras solo con una o varias puertas de transistores. Esto significa que los buffers correspondientes a las señales de salida (*req\_row* y *req\_col*) se pueden diseñar con menor tamaño que los de las señales de entrada (*ack\_row*, *reset\_row* y *reset\_col*). Un esquemático del bloque unitario por píxel se ha representado en la Figura 4.2(a).

Para diseñar dichos buffers, se utilizaron dos inversores en serie, de manera que el primero fuera de menor tamaño (minimizando la capacidad de entrada) y el segundo de mayor tamaño (maximizando la capacidad de carga). Debido al bajo nivel de inversión que aparece al trabajar a una tensión de alimentación de 350 mV, el tamaño resultante es más elevado del esperado en un diseño tradicional. El layout final de la celda unitaria que se repetirá por fila (o columna), se muestra en la Figura 4.2(b).

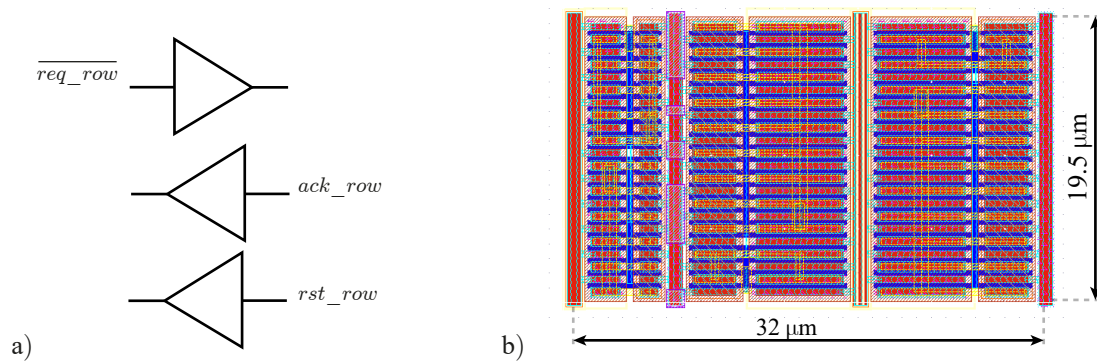


Figura 4.2. a) Esquemático del bloque unitario por píxel. b) Layout de la celda..

#### 4.1.2. Level Shifters

Dado que es posible que en un determinado escenario, la periferia del sensor no sea totalmente autosuficiente (ya que este estudio busca en primer lugar garantizar la autosuficiencia de la matriz y si fuera posible, la del sensor completo), puede darse el caso de que esta se alimente a una tensión de alimentación superior, permitiendo la correcta operación de esta. Esto significa que es necesario añadir un level shifter capaz de traducir los niveles lógicos.

Como no existe ningún problema en que las señales de entrada al píxel alcancen los 1.8 V, solo es necesario añadir un level shifter por fila (o columna) para la petición. El esquema utilizado es el representado en la Figura 4.3, donde los transistores tipo N utilizados fueron transistores de baja tensión umbral para conseguir vencer el latch formado por los transistores tipo P y cambiar el nivel lógico. Además, se ha añadido un multiplexor a la salida (formado por llaves de transmisión) para el caso de que el level shifter no sea necesario, permitiendo cortar el consumo asociado a las fugas de los transistores de baja tensión umbral. Nótese que, dado que el buffer previo está formado por dos inversores, ya se cuenta con la versión invertida de la entrada. La Figura 4.3 muestra el layout correspondiente al level shifter junto al multiplexor.

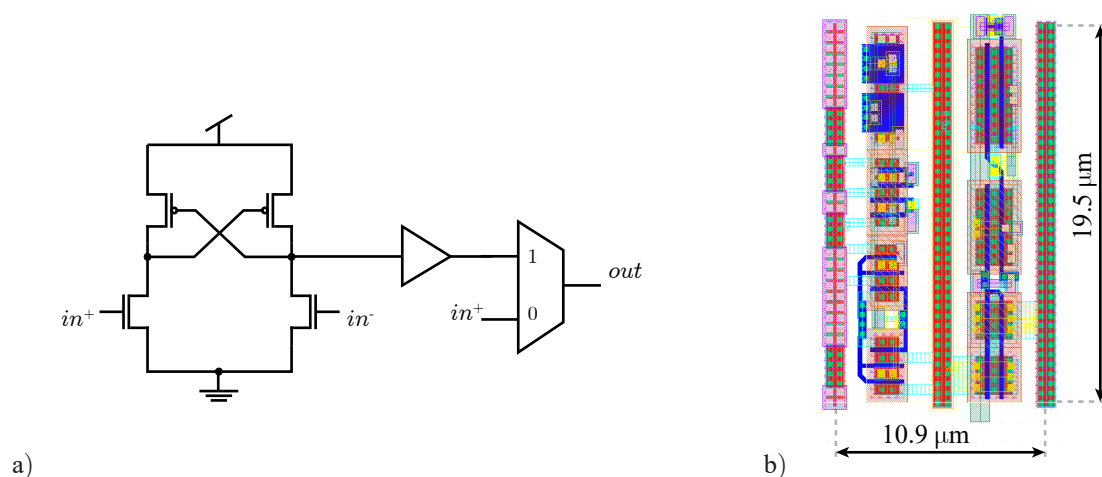


Figura 4.3. a) Esquemático del level shifter utilizado. b) Layout del bloque.

### 4.1.3. Lógica de comunicación AER

Para implementar un protocolo de comunicación AER, es necesario incluir la circuitería apropiada a nivel de filas y columnas, de manera que cada vez que se acepte una petición, se indique al periférico encargado de la lectura que el dato del bus de direcciones es válido y corresponde a un nuevo píxel, a la vez que cuando el periférico confirme la lectura, se debe generar la señal que bloquee dicho píxel.

Para dicha función, se utilizó una celda cuyo esquemático se ha representado en la Figura 4.4(a). Analizando dicho esquemático, se tendrá en cuenta que en primer lugar, las peticiones (tanto por filas como por columnas), son activas a nivel bajo, de manera que se utiliza un inversor para invertir su nivel antes de llegar al árbol de arbitración. Por otra parte, el estado natural de la señal de aceptación del arbitrador,  $arb\_ack$ , es a nivel bajo, mientras que el estado de la señal de confirmación del periférico,  $\overline{bus\_ack}$ , es a nivel alto, lo que supone que ambas salidas del latch SR se encuentren a nivel alto y por lo tanto, la salida de la puerta NOR esté a nivel bajo cuando no se realiza ninguna petición en dicha fila (o columna). En este momento, la señal que resetea el píxel,  $reset\_pix$ , solo se activaría si se activase la señal de reset manual,  $reset\_periph$ .

Por el contrario, si en algún momento se activa la señal  $arb\_ack$ , además de actualizar el dato del bus de direcciones correspondiente, la salida  $\overline{Q}$  del latch cambiaría a nivel bajo, lo que causaría que el transistor tipo P de la Figura 4.4(a) levantara la línea común  $bus\_req$  (la cual tiene un transistor de *pull-down* conectado), indicando que en dicha dimensión (por columnas o por filas) ya se ha realizado la arbitración. Por lo tanto, la operación AND de la señal correspondiente a las filas y la señal correspondiente a las columnas, indica al periférico de lectura que se ha finaliza la arbitración completa y se puede leer el dato.

Posteriormente, una vez que el periférico de lectura confirma haber leído el dato, la señal  $\overline{bus\_ack}$  toma nivel bajo, causando que se active la señal  $reset\_pix$  hasta que  $\overline{bus\_ack}$  vuelva a nivel alto o se desactive la señal  $arb\_ack$ .

Otro factor a destacar es que la señal  $arb\_ack$ , en el caso de la arbitración de las filas, se conecta a la señal  $ack\_row$  del píxel, para comenzar la petición por columnas.

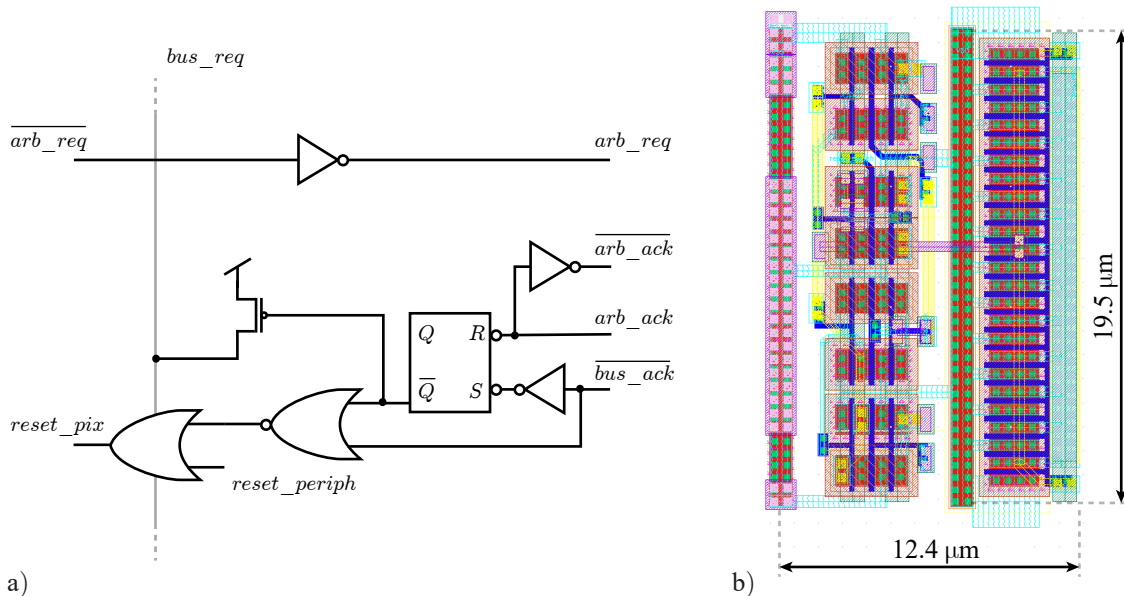


Figura 4.4. a) Esquemático de la lógica de comunicación AER. b) Layout del bloque.

#### 4.1.4. Encoder

Una vez que un píxel en la posición  $(i, j)$  ha realizado una petición y esta ha sido aceptada en ambas dimensiones, el resultado es una señal activa en cada dimensión,  $ack\_col < i >$  y  $ack\_row < j >$ . Sin embargo, es inviable utilizar este código, ya que el tamaño del bus sería igual al número de filas y columnas, por lo que es necesario el uso de un encoder para codificar el código obtenido en un código con un menor número de bits.

La forma más sencilla de implementar un encoder con la señal que se posee, es utilizar las señales  $arb\_ack$  para encender transistores tipo N en las posiciones correspondientes a los ceros y su negada para encender transistores tipo P en las posiciones correspondientes a unos, tal y como se ha representado con un ejemplo de 3 bits en la Figura 4.5(a). Además, se ha utilizado la codificación en código Gray para intentar minimizar la conmutación entre estados y reducir el consumo, ya que como en una escena habitual existen zonas de píxeles con niveles de iluminación próximos, se espera que haya peticiones de píxeles cercanos y el código Gray se basa en que entre cada estado contiguo solo conmuta un bit.

Dado que el sensor estará formado por una matriz de  $128 \times 128$  píxeles, se necesitan 7 bits para codificar la información de cada dimensión, tal y como se observa en el layout de la Figura 4.5(b). Una consideración que se ha de tener en cuenta a la hora de dimensionar los transistores ha sido el mismo que los transistores encargados de realizar la petición de los píxeles, ya que al trabajar a un nivel bajo de inversión (o en inversión débil), el transistor debe ser capaz de cargar o descargar la línea en un tiempo razonable.

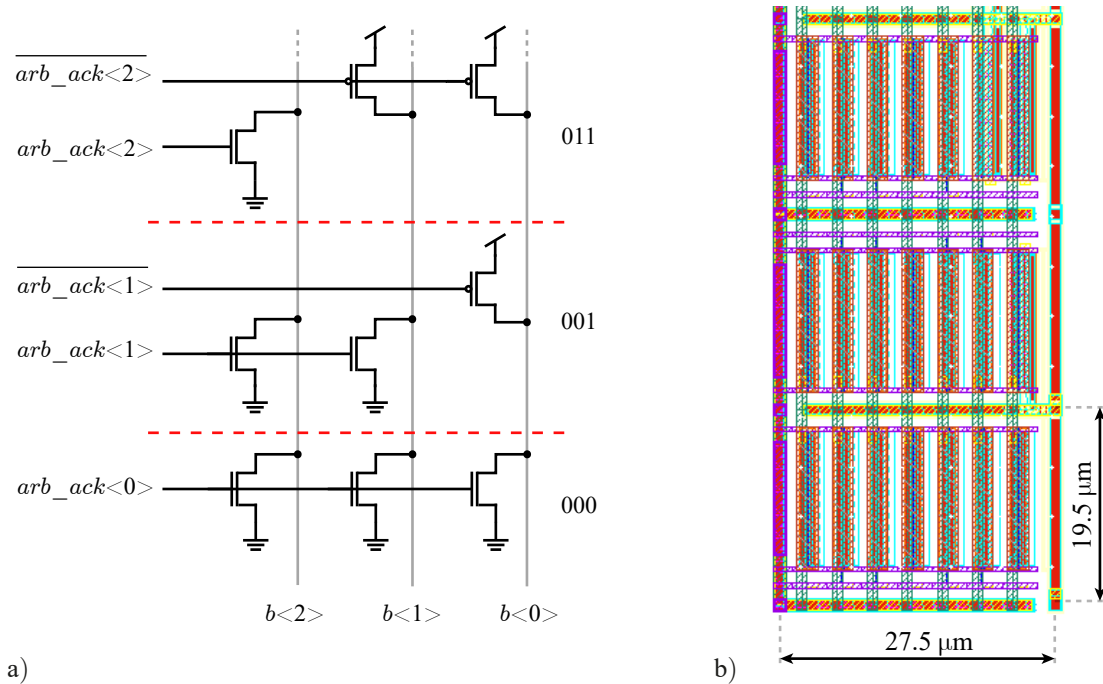


Figura 4.5. a) Ejemplo de esquemático de encoder para 3 bits. c) Ejemplo de tres celdas del layout utilizado (7 bits).

#### 4.1.5. Árbol de arbitración

En la operación normal de un sensor asíncrono, es común que aparezcan peticiones nuevas antes de haber leído la última petición aceptada en el bus o incluso que existan peticiones prácticamente

simultaneas.

Estas colisiones deben ser arbitradas por un bloque denominado arbitrador, el cual decide qué petición ha llegado con anterioridad. Por tanto, tal y como muestra la Figura 4.6 (a), un arbitrador tendría dos entradas asociadas a peticiones ( $r_0$  y  $r_1$ ) y sendas salidas destinadas a aceptar la petición conveniente ( $a_0$  y  $a_1$ ). Dado que en un sistema real suelen existir más de dos posibles fuentes de petición, se suelen asociar varios arbitradores en forma de árbol, por lo que el arbitrador también cuenta con una salida para realizar una petición en el siguiente nivel,  $r$ , y una entrada para aceptarla,  $a$ . Este esquema de asociación en árbol se ha representado en la Figura 4.6(b), para el ejemplo de cuatro líneas de petición, nótese que el último arbitrador utiliza la misma señal  $r$  para activar  $a$  y que para arbitrar  $N$  señales, es necesario utilizar  $\log_2(N)$  niveles de arbitradores.

Un factor importante a la hora de implementar un árbol de arbitradores, es que el rutado de las señales debe ser lo más simétrico posible, para intentar que todas las líneas vean la misma carga y exista una arbitración justa. Por lo tanto, realizar un rutado similar al esquemático de la Figura 4.6(b), suele ser una solución eficaz, a costa de desperdiciar gran cantidad de área, ya que cada dos arbitradores existiría un hueco intermedio que se crecería con el nivel. Por lo tanto, una forma de distribuir los arbitradores con el objetivo de aprovechar al máximo el área disponible, resulta en intercalar los arbitradores del siguiente nivel en dichos huecos, tal y como se muestra en la Figura 4.6(c).

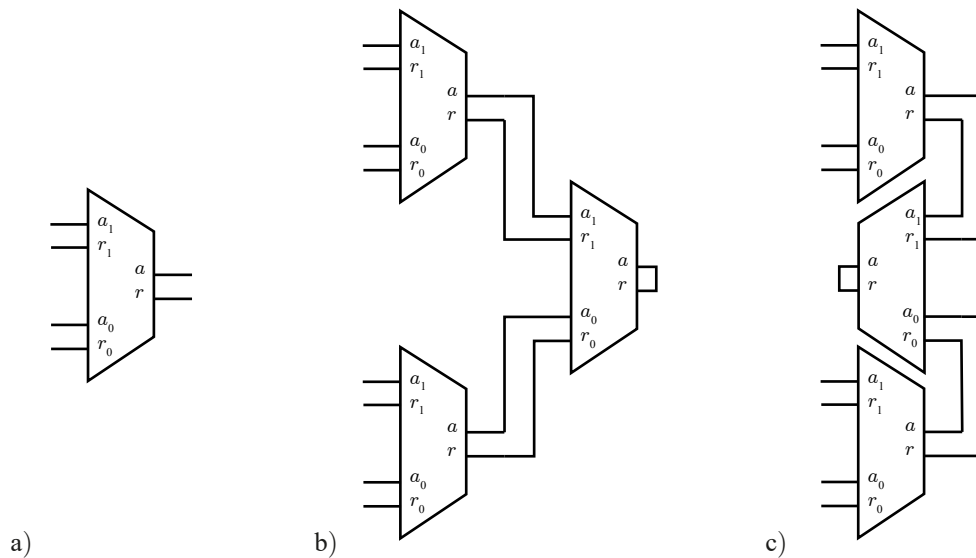


Figura 4.6. a) Bloque básico de arbitración. b) Árbol de tres arbitradores. c) Distribución optimizada en área de árbol de arbitradores.

El arbitrador utilizado es un arbitrador *greedy* (lo que quiere decir que no controla que todas las peticiones en cola se hayan atendido antes de volver a aceptar la petición de una línea) reportado en [69], cuyo esquemático se muestra en la Figura 4.7(a). Para comprender el funcionamiento de dicho arbitrador, se puede realizar un primer análisis obviando la puerta NOR central y el transistor conectado a su salida (parte del circuito en gris). Bajo dicho supuesto, antes de recibir ninguna petición, las salidas de ambas puertas NAND que forman un latch se encuentran a nivel alto, lo que causa que  $a_1$ ,  $a_0$  y la siguiente puerta NAND mantenga su salida,  $r$ , a nivel bajo. En el momento que una de las dos entradas de petición se activen, la salida de la NAND correspondiente cambiará a nivel bajo, causando que la salida  $r$  se active, enviando una petición al siguiente nivel y activando la señal de aceptación correspondiente ( $a_1$  o  $a_0$ ) cuando el siguiente nivel active  $a$ .

De esta manera, si ambas peticiones se encuentran activas y se acepta una de ella, por ejemplo



se activa  $a_1$  y la petición correspondiente,  $r_1$  se desactiva, el latch cambia de estado y  $r$  se mantiene activa durante todo el proceso. Sin embargo, dado que el cambio de estado del latch no es inmediato y debe pasar por el estado en el que ambas salidas se encuentran a nivel alto, puede aparecer un glitch en  $r$  que se propague por el resto del árbol. Para evitar dicho problema, se puede añadir la puerta OR y el transistor que anteriormente no se habían tenido en cuenta, cuya función es que la salida  $r$  solo se desactive cuando ambas peticiones se encuentren a nivel bajo.

Finalmente, el layout de la celda unitaria se puede observar en la Figura 4.7(b), donde el único requisito para implementar la distribución de la Figura 4.7(c), era que el pitch vertical no superara el pitch del píxel, ya que esta celda se repite cada dos filas (o columnas).

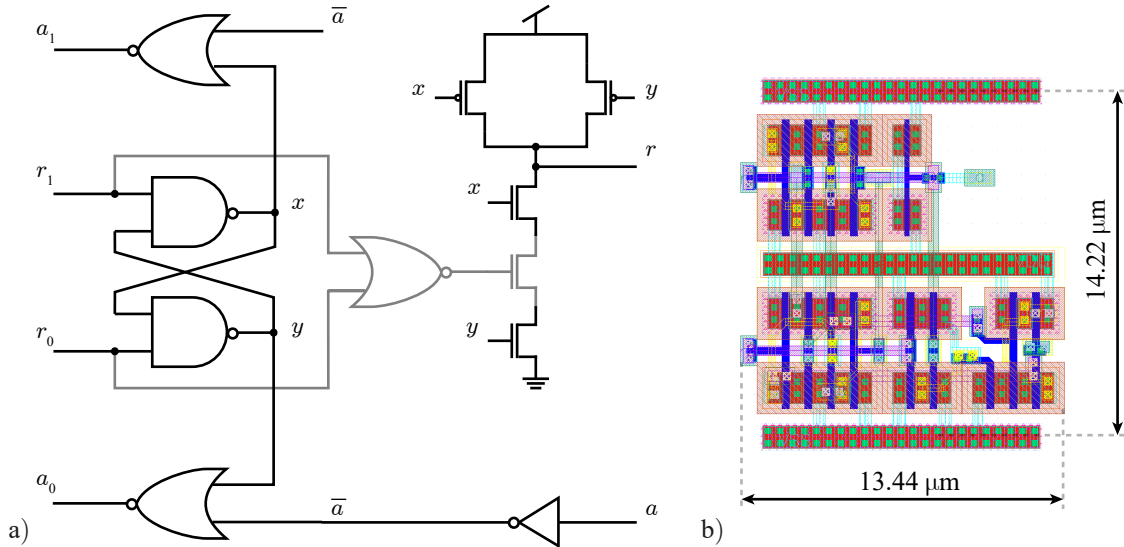


Figura 4.7. a) Esquemático del arbitrador escogido. b) Layout del arbitrador.

## 4.2. Selección de la ROI

Este segundo bloque de elementos, es el encargado de generar las señales de activación para los píxeles que forman la ROI ( $pix\_on\_h$  y  $pix\_on\_v$ ) a partir de una señal global ( $pix\_on$ ), ya que a veces puede ser conveniente sensar imagen en una pequeña zona o reducir la resolución. Esto no solo permite el estudio de algoritmos de sensado compresivo, sino que permite que cierta cantidad de píxeles se encuentren contribuyendo a la alimentación incluso durante la operación de sensado. De esta manera, bajo condiciones de baja iluminación, se podría buscar la autosuficiencia sensando el plano completo en varios pasos, a costa de añadir un desfase temporal que puede ser más notorio cuando en la escena existe algún elemento desplazándose a gran velocidad (como en el caso de los sensores síncronos con esquema *Rolling Shutter*).

Para implementar dicha funcionalidad, se ha de recordar que para que un píxel se active y pase a modo sensado, se debe activar tanto la señal vertical como horizontal correspondiente. Por lo tanto, basta con añadir sendos registros de desplazamiento que contenga, en forma de palabra digital, y hacer la operación AND con la señal global de activación, tal y como se observa en la Figura 4.8(a), donde una pequeña submatriz se encuentra sensando mientras el resto de píxeles contribuyen a la alimentación. Sin embargo, aunque este método permite activar varias regiones que no sean colidantes, no permite seleccionar píxeles de manera arbitraria, ya que como se muestra en la Figura 4.8(b), si se desean activar los píxeles A y C, también se activará el píxel B, aunque por el motivo que fuese no se deseara.

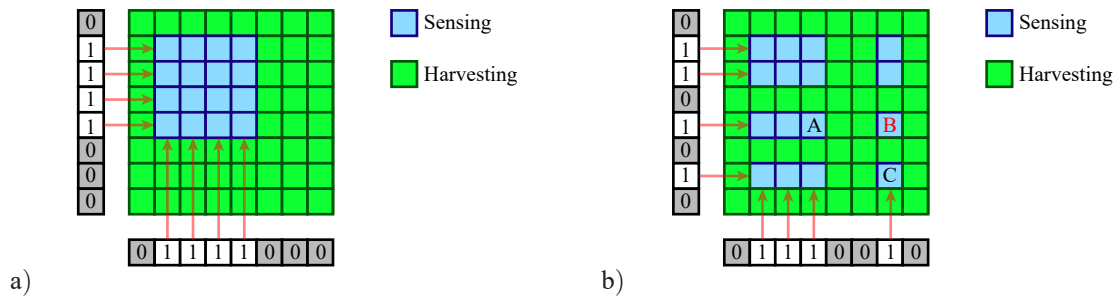


Figura 4.8. a) Ejemplo de selección de ROI. b) Ejemplo de selección de ROI inválido. Los píxeles A y C no se pueden activar sin activar el píxel B.

Por lo tanto, existen dos elementos que forman este bloque, el registro de desplazamiento (con puerta AND a la salida) y el buffer de entrada, el cual es el mismo de la Sección 4.1.1. Téngase en cuenta que, aunque la señal de activación sea una entrada tanto por filas como por columnas, la señal de reset solo se introduce por filas, de manera que el bloque correspondiente al lateral izquierdo cuenta con un buffer extra.

#### 4.2.1. Registro de desplazamiento

Un registro de desplazamiento se puede implementar mediante la asociación en serie de biestables tipo D, conectando la salida de cada elemento de la cadena en la entrada del siguiente. A su vez, existen varias maneras de implementar un biestable tipo D, la arquitectura escogida, debido al uso de un número reducido de transistores, es una arquitectura *master-slave*, utilizando latches basados en inversores y multiplexores (los cuales se implementaron con puertas de transmisión), tal y como muestra la Figura 4.9(a). Además, se ha añadido un transistor capaz de realizar un preset asíncrono, que active la salida de todos los biestables del registro.

El layout de la celda, incluyendo la puerta AND, se ha representado en la Figura 4.9(b). Para el diseño de esta celda se han tenido en cuenta varias consideraciones. En primer lugar, el tamaño de los inversores se ha maximizado, paara reducir los picos que aparecen en la salida de los latches asociados al *clock-feedthrough* en las puertas de transmisión cuando la pendiente del reloj es muy abrupta. Por otra parte, el transistor encargado del preset asíncrono, debía tener la fuerza suficiente para vencer el latch. Finalmente, el inversor a la salida de la NAND que forma la AND, utiliza un tamaño razonable para poder cargar con la capacidad de entrada del buffer. Otra consideración importante fue rutar el reloj en dirección contraria al camino de datos, para que el registro de desplazamiento se beneficie del denominado "skew negativo".

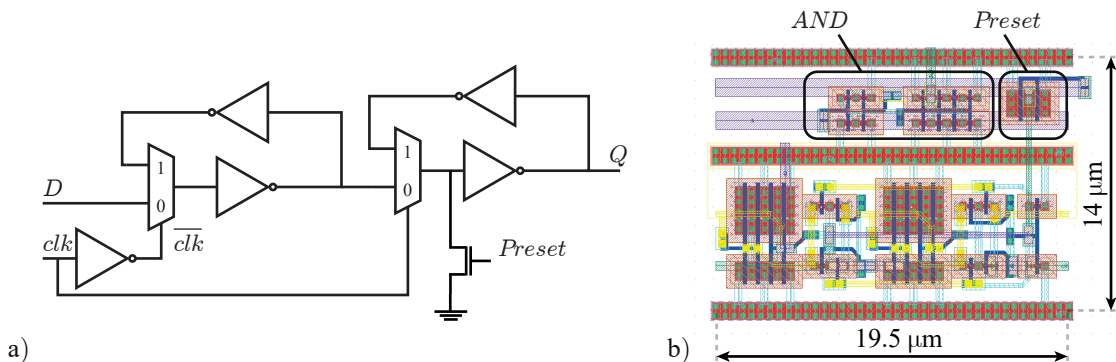


Figura 4.9. a) Esquemático del biestable utilizado. b) Layout del biestable, junto a la puerta AND.

### 4.3. Interruptor de alimentación

Debido a que la corriente generada por los fotodiodos no suele ser elevada, las corrientes de fuga de la circuitería del píxel pueden causar que la tensión de estos se establezca en un punto de la curva I-V (recordar Figura 2.4(b) capaz de suplir dichas fugas, lo que supondría una reducción de la tensión inadmisibles, lo que hace necesario incluir un mecanismo para reducir dichas fugas.

Una práctica bastante extendida, sobretodo en circuitos digitales que utilizan tecnologías submicrométricas, es la de utilizar transistores que corten el camino de alimentación a tierra (normalmente, de mayor tensión umbral) para reducir las corrientes de fuga que han ido aumentando con el escalado [70].

Dado que los niveles de tensión trabajados supondrían que un transistor de mayor tensión umbral se encontrara en un nivel muy débil de inversión, se optó por utilizar transistores de 1.8 V, pero con una longitud mayor que redujera en cierta medida las fugas. En este momento aparecía un nuevo compromiso, ya que aumentar la relación de aspecto de dicho transistor supondría disminuir su resistencia de conducción (menos caída óhmica) a costa de aumentar las fugas totales. Ya que el consumo del píxel es bajo ( $<100$  pA), esta resistencia no debería ser un problema, salvo si se quisiera aumentar el consumo del sensor para mejorar su rendimiento o si hubiera que resetear fotodiodos muy iluminados.

Por lo tanto, en lugar de utilizar un único transistor tipo P para cortar el camino entre  $V_{EH}$  y  $V_{DD}$ , se utilizó una puerta de transmisión, como muestra la Figura 4.10(a), donde *supply\_on* es la señal de control, con el objetivo no de reducir la inyección de carga (que no afectaría en la operación), sino con el de insertar un transistor más conductivo en el caso de que la periferia opere a 1.8 V y el array a la tensión de circuito abierto de los fotodiodos, ya que la tensión entre puerta y fuente del transistor tipo N sería mayor.

Para dimensionar los transistores, se simuló su comportamiento en un píxel aislado y se extrapó el tamaño equivalente de un único interruptor para la matriz completa, el cual se distribuyó en forma de anillo alrededor de la matriz de píxeles. La ventaja de utilizar un interruptor global es la reducción de área que se consigue en el píxel, a costa de no poder reducir las fugas de los píxeles que recolectan energía cuando se está sensando una submatriz. El layout de la celda unitaria se puede observar en la Figura 4.10(b).

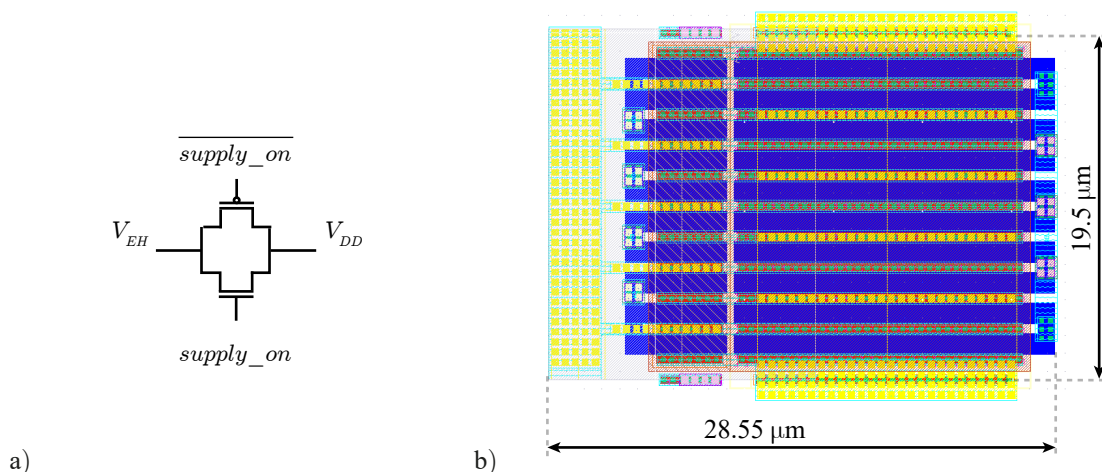


Figura 4.10. a) Esquemático del interruptor de alimentación. b) Layout del interruptor.

#### 4.4. Layout del sensor completo

Finalmente, uniendo todos los bloques estudiados en este capítulo e incluyendo capacidades MOS de desacoplo, el layout del sensor completo, junto al anillo de PADs, se ha representado en la Figura 4.11(a), diferenciando los distintos bloques que lo componen en la Figura 4.11(b). El sensor completo consume un área de  $2856 \mu\text{m} \times 2824 \mu\text{m}$ .

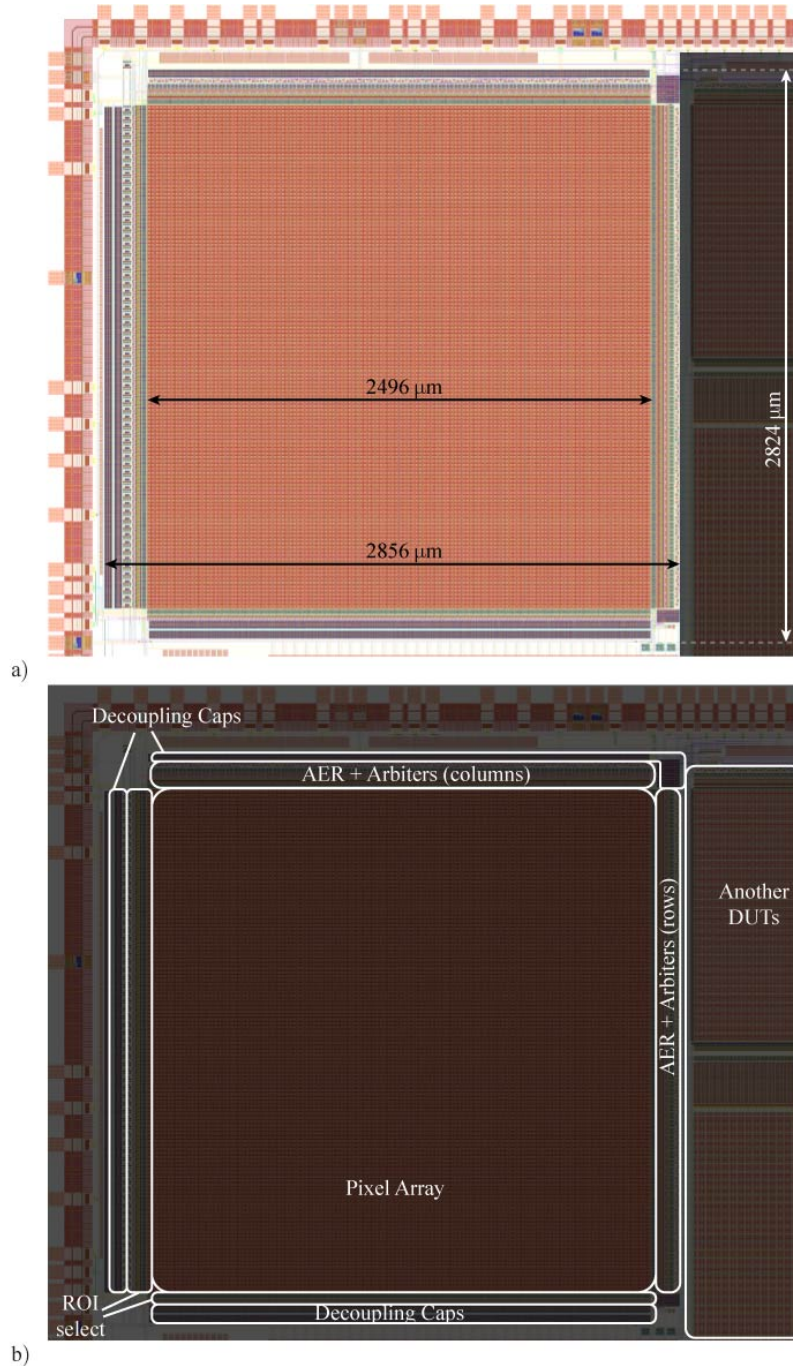


Figura 4.11. a) Layout del sensor completo. b) Bloques que forman el sensor.

## Capítulo 5

# Resultados de simulación

En este capítulo, se realizarán diversas simulaciones para verificar el funcionamiento del sensor, así como realizar una pequeña caracterización para estimar los resultados que se podrían obtener tras la fabricación del mismo. Para ello, dado que realizar la simulación eléctrica de una matriz de  $128 \times 128$  píxeles no suele ser práctico debido al tiempo y memoria necesarios, se ha reconstruido un prototipo del sensor original de  $4 \times 4$  píxeles, a través del cual se han realizado las verificaciones pertinentes, conectando la tensión  $V_{EH}$  a la alimentación y utilizando la capacidad (externa) equivalente si se utilizara una capacidad  $1 \mu\text{F}$  en un array de  $128 \times 128$  píxeles. Para modelar el periférico de lectura, se ha conectado la señal que realiza la petición de lectura con la que la confirma, introduciendo un retraso de  $200 \text{ ns}$ , suponiendo que es capaz de funcionar a  $10 \text{ MHz}$  y resolver la petición en dos ciclos de reloj.

La verificación funcional de un bloque o un sistema no es una tarea trivial y menos en un sistema que requieren un estímulo externo (como es la iluminación) del cual no se tiene una garantía de que se comporte tal y como se ha supuesto. Normalmente es imposible simular todas las posibles situaciones, por lo que la labor del diseñador, a través de su experiencia y conocimientos, intentar encontrar las situaciones más desfavorables para poner a prueba el funcionamiento de su sistema. En este estudio, se han analizado tres posibles escenarios, siendo los dos primeros los más problemáticos que pondrían a prueba la operación del sensor y el tercero de ellos una simulación de una operación real:

- Escenario 1. Todos los píxeles se encuentran excesivamente iluminados (corrientes de, por ejemplo,  $100 \text{ pA}$ ) causando sendas peticiones en el mismo instante. Debido a que la corriente es elevada, el reset de todos los píxeles supondrá una descarga considerable de la tensión de alimentación, además el tiempo en el que se van atendiendo las peticiones unido al corto tiempo de integración, causaría que se midiera un dato distinto en cada píxel, aun encontrándose expuesto al mismo nivel de iluminación.
- Escenario 2. Todos los píxeles se encuentran a un nivel bajo de iluminación (corrientes de, por ejemplo,  $100 \text{ fA}$ ). Esto causa que la tensión de alimentación sea más baja y que la operación dure más, descargando
- Escenario 3. En la escena existen píxeles con distinto nivel de iluminación. Los más iluminados disparan antes y contribuyen a alimentar

Estos distintos escenarios donde se realiza la verificación funcional del sensor se analizarán en detalle en la Sección 5.1. Además se han realizado varias simulaciones para obtener una primera estimación de la calidad de los datos obtenidos, las cuales serán estudiadas en la Sección 5.2. Todas las simulaciones incluidas se corresponden a vistas post-layout de las diferentes celdas implementadas.

## 5.1. Verificación funcional

Para verificar la funcionalidad del píxel diseñado dentro de una matriz de píxeles, se ha estudiado la evolución de las diversas señales que intervienen en la operación en los diversos escenarios, especialmente la tensión de alimentación. Ya que el esquema de arbitración es conocido [69], en esta sección solo se mostrarán las señales más relevantes que muestran que la operación es la correcta, es decir, la tensión de cada fotodiodo, las señales de bloqueo (*lock*), la señal de aceptación de lectura (*\_bus\_ack*) y los buses que indican la dirección del píxel (*x* e *y*), ya que no es objeto de este estudio la verificación del protocolo AER.

Por otra parte, la periferia se ha alimentado mediante fuentes externas en estas simulaciones. Es necesario tener en cuenta que la corriente generada crece con el número de filas/columnas,  $N$ , (suponiendo matriz cuadrada) al cuadrado, mientras que la periferia crece linealmente. Esto quiere decir que cuanto mayor sea el tamaño de la matriz, más fácil será alimentar la periferia. Sin embargo, en una matriz reducida, es difícil estimar que la matriz pueda alimentar a la periferia.

### 5.1.1. Escenario 1: Iluminación uniforme y elevada

Bajo las condiciones de iluminación supuestas en el Escenario 1 (todas las corrientes igual a 100 pA), la tensión en la que se establecería la matriz de fotodiodos (la tensión que supe las fugas de la periferia), acorde al modelo diseñado a partir de los datos experimentales de [6], sería aproximadamente igual a 450 mV, por lo que se tomará esta tensión como condición inicial.

La Figura 5.1(a) muestra el resultado tras realizar la simulación del Escenario 1. Si se observa la evolución de  $V_{EH}$  durante la simulación, se pueden diferenciar tres zonas. En primer lugar, entre el inicio y  $t = 1$  ms,  $V_{EH}$  se encuentra estable tras haber sido precarga. Posteriormente, entre  $t = 1$  ms y  $t = 2$  ms aproximadamente, la tensión cae debido al consumo durante la operación, resultando en un decremento de aproximadamente 10 mV. Finalmente, a partir de  $t = 2$  ms, una vez que todos los píxeles han sido leídos, la tensión  $V_{EH}$  vuelve a aumentar, alcanzando prácticamente la tensión inicial tras 18 ms desde el final de la operación, lo que quiere decir que el funcionamiento es el deseado. Nótese que debido a que la caída de tensión es baja (en torno a 4 mV), se podría volver a iniciar una segunda operación sin necesidad de cargar al máximo la tensión  $V_{EH}$ .

Observando en detalle la simulación durante la lectura, es decir entre  $t = 1.75$  ms y  $t = 1.81$  ms, tal y como se ha representado en la Figura 5.1(b), se puede estudiar cómo reacciona el sensor ante las colisiones cuando la iluminación es elevada. Los distintos valores de  $V_n$ , y *lock* muestran claramente que el tiempo medido por el periférico de lectura varía en cada muestra, principalmente debido al retraso del sensor cuando recibe la aceptación de la lectura. Esto es debido a que, a causa de la baja tensión de alimentación, los tiempos de subida y bajada en las peticiones (no representadas) son elevados, induciendo un retraso entre peticiones de aproximadamente 2.3  $\mu$ s. Sin embargo, como se estudiará en la Sección 5.2, las variaciones en niveles altos de iluminación son menos relevantes si se comprime la iluminación con una relación logarítmica a la hora de representar la imagen.

Finalmente, resulta destacable cómo varían los buses de direcciones. Dado que la petición del píxel se realiza primero por filas y una vez que esta se acepta, por columnas, existe una tendencia a leer los píxeles de la misma fila durante las colisiones. Esto se refleja en que el vector *y* varía con menos frecuencia que *x*.

### 5.1.2. Escenario 2: Iluminación uniforme y baja

En el Escenario 2 se ha supuesto que todos los píxeles de la matriz se encuentran de nuevo al mismo nivel de iluminación, pero siendo bajo (100 fA). Dicha situación supondría que la escena se encuentra prácticamente en oscuridad, lo que supondría que la tensión de circuito abierto de los fotodiodos se vería reducida de manera drástica. Por lo tanto, se ha supuesto que la matriz simulada sería una submatriz que se vería apoyada por otros píxeles más iluminados que hacen



que la operación parta de una tensión de 400 mV, pero sin contribuir a la alimentación durante la operación.

El resultado de la simulación se ha representado en la Figura 5.2(a), donde las señales correspondientes a los buses de direcciones no se han incluido, para facilitar la comprensión. En este caso, debido a que el tiempo de integración es bastante mayor que en el Escenario 1, el tiempo asociado a la lectura es despreciable, lo que supondría que el dato se vería menos alterado. Sin embargo, esto no es del todo cierto, ya que si se recuerda el comportamiento del comparador con el mismatch, el tiempo de comparación variaba en gran magnitud cuando el tiempo de integración era alto. Nótese que las señales *lock* no tienen un estado inicial definido debido a que la alimentación se encuentra desconectada, a diferencia del caso del píxel aislado.

Por último, se puede destacar que en este caso la tensión de alimentación cae excesivamente (50 mV) debido al aumento del tiempo de operación. Además, tras bloquear todos los píxeles, la tensión de alimentación sigue disminuyendo a costa de las fugas. Esto indica que para garantizar

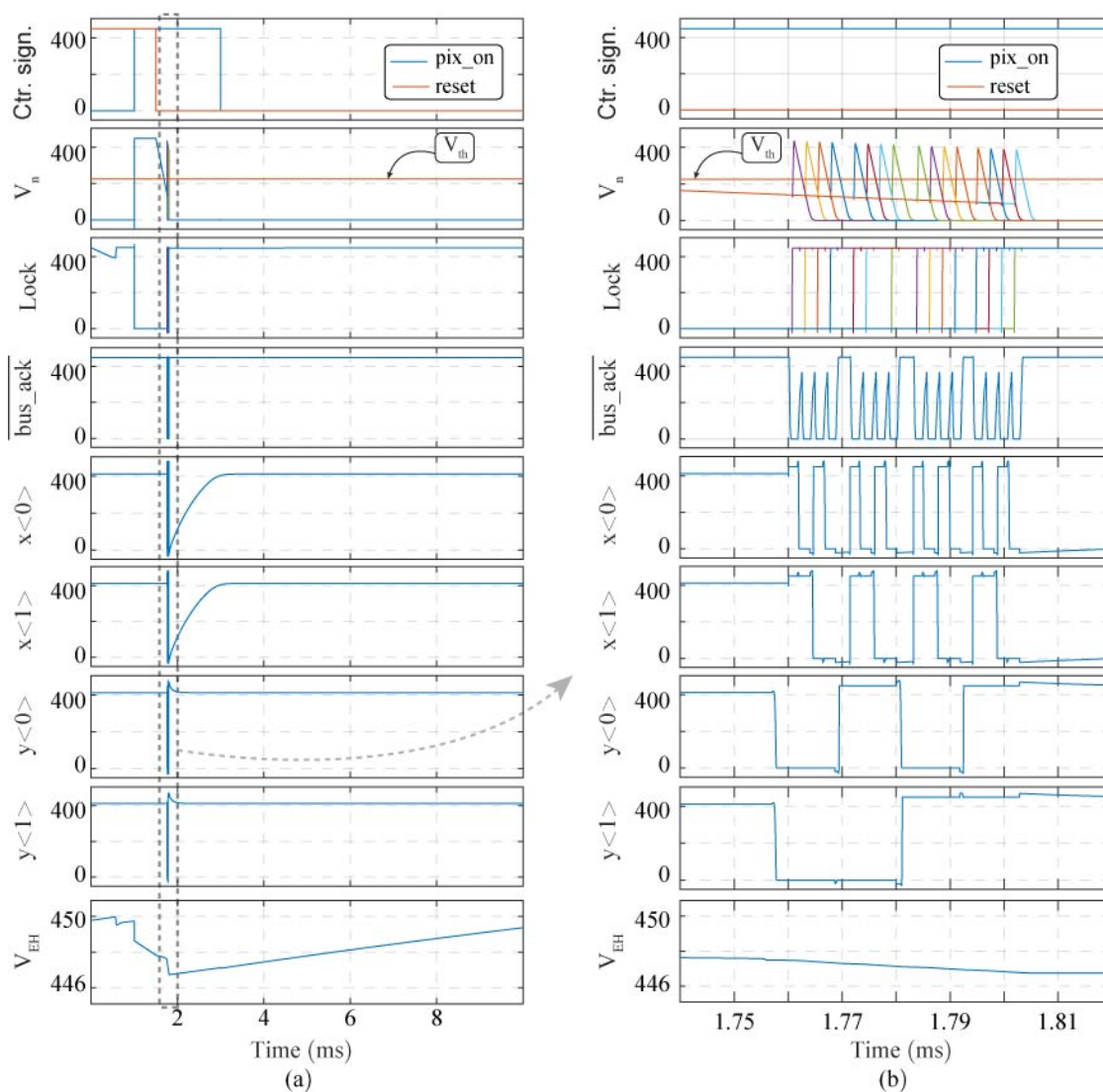


Figura 5.1. a) Simulación de matriz de  $4 \times 4$  píxeles en Escenario 1: iluminación uniforme y elevada. b) Detalle durante la lectura. Todos los ejes se han representado en mV.

la operación es necesario cierto nivel de iluminación y que también existan píxeles más iluminados que sean capaces de compensar a los menos iluminados.

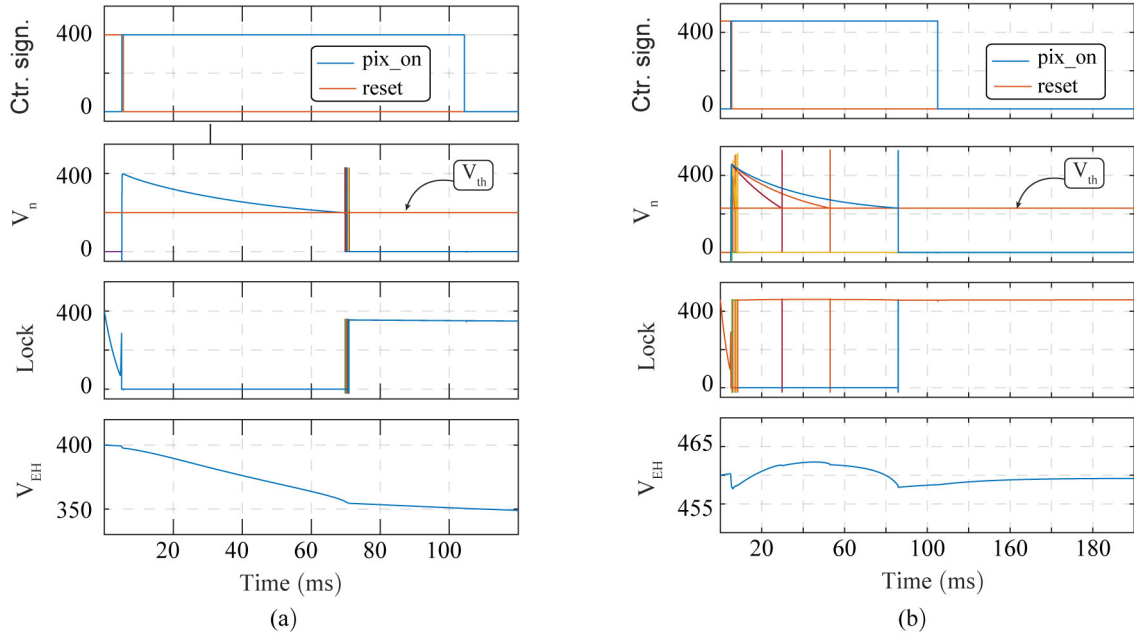


Figura 5.2. Simulación de matriz de  $4 \times 4$  píxeles en a) Escenario 2: Iluminación uniforme y baja. b) Escenario 3: iluminación no uniforme. Todos los ejes se han representado en  $mV$ .

### 5.1.3. Escenario 3: Iluminación no uniforme

Por último, para obtener una intuición de cómo operaría el sensor diseñado en una situación más cercana a la realidad, se ha simulado la operación cuando se combinan píxeles a distintos niveles de iluminación, algunos más iluminados que deberían contribuir al consumo de los menos iluminados tras ser leídos. La tensión de cortocircuito del conjunto de fotodiodos, que corresponderá con la tensión de alimentación inicial, es de aproximadamente 460 mV.

La Figura 5.2(b) muestra el resultado de simulación del Escenario 3. En este caso, la tensión de los diferentes fotodiodos se descarga con diferente pendiente, de manera que los píxeles disparan en distintos instantes de tiempo. Esto causa que los píxeles más iluminados (los cuales son leídos en decenas de microsegundos tras comenzar la operación), comiencen a contribuir en la alimentación, aumentando el valor de  $V_{EH}$  desde prácticamente el inicio de la operación.

Un detalle interesante en este escenario es que los fotodiodos tienen una tensión de circuito abierto mayor que la de los menos iluminados, lo que causa que la tensión de circuito abierto equivalente se vea degradada al introducir estos últimos. Sin embargo, cuando solo han sido leídos los píxeles más iluminados, estos son capaces de cargar el nodo  $V_{EH}$  a una tensión superior que cuando se conectan en paralelo los fotodiodos menos iluminados, como ocurre entre  $t = 20$  ms y  $t = 40$  ms, volviendo al valor de equilibrio conforme los píxeles menos iluminados van siendo leídos.

El consumo promedio de la periferia ha sido medido para estimar su impacto en el consumo global. Aunque el número de conmutaciones (y por tanto, el consumo) va a ser dependiente de los niveles de iluminación de los píxeles y la distribución de los mismos, obteniendo un consumo medio de 5 nA (2.25 nW). Si se realiza la misma simulación en una matriz  $2 \times 2$  (periferia reducida a la mitad), se obtiene un consumo medio de 1 nA, por lo que extrapolando dicho consumo a una matriz de  $128 \times 128$  y suponiendo que el consumo aumenta de manera lineal, se obtendría un valor



de 253 nA (113.9 nW).

## 5.2. Estimación de imagen

Tras realizar las simulaciones pertinentes que han verificado la funcionalidad del sensor, resulta interesante intentar realizar una ligera caracterización previa al prototipo físico. Para ello, se pueden simular diferentes fotocorrientes y tras estimar la imagen obtenida, calcular determinadas figuras de mérito que proporcionen una medida de los posibles errores y artefactos que puedan aparecer.

A pesar de que existen varias figuras de mérito que pueden caracterizar un sensor de image, como las definidas en el estándar EMVA [71], una de ellas que se puede estimar de manera sencilla mediante simulación y que será la única estudiada en esta sección, es el denominado *Fixed Pattern Noise*, FPN. El FPN establece una medida de la variación en el nivel de iluminación medido entre píxeles bajo el mismo nivel de iluminación, tratándose de un error sistemático en el caso de sensores APS (debido al mismatch) y un error con cierta componente aleatoria en un sensor asíncrono (debido a que a priori, el proceso de arbitración de la matriz no es predecible).

Sin embargo, evaluar el comportamiento de una matriz que contiene un gran número de píxeles, resulta inviable mediante simulación eléctrica, por lo que además de realizar las simulaciones eléctricas que se comentarán a continuación, también se ha diseñado un modelo matemático que permita realizar una simulación numérica del sensor completo, teniendo en cuenta determinados parámetros obtenidos mediante simulación eléctrica.

### 5.2.1. Estimación mediante simulación eléctrica: Fixed Pattern Noise

En sensores APS, el FPN viene predominado por las variaciones geométricas y de gradientes en el *Source Follower*, ya que suponen una variación de la ganancia entre píxeles, lo que permite una calibración relativamente sencilla. Por el contrario, en sensores asíncronos tipo *TFS*, tal como el diseñado, el FPN presenta una dependencia con la iluminación, debido en primer lugar a las posibles colisiones (relevante cuando el nivel de iluminación es alto) y en segunda lugar debido a que las variaciones geométricas del comparador causan que la desviación en los tiempos de disparo sea mayor para bajas corrientes, tal y como mostraba la Figura 3.14.

Aun así, es habitual comprimir el rango de intensidades medido de manera logarítmica o mediante alguna otra función a la hora de representar una imagen, ya que esto permite que el ojo humano interprete mejor la escena visual. Esto quiere decir que las variaciones de corrientes bajas son más relevantes que las de corrientes altas, por lo que el efecto de las colisiones en el Escenario 1 (Figura 5.1(b)) puede afectar menos si lo que se desea es representar una imagen.

Para analizar el FPN, se tomaron los datos temporales obtenidos del Escenario 1 y Escenario 2, se extrapolaron el nivel de iluminación, se calculó la desviación típica y se normalizó respecto al valor medio. Los resultados obtenidos con los datos sin comprimir se han recogido en la Tabla 5.1, obteniendo un FPN del 27,67 % para una corriente de 100 pA y del 0,65 % para una corriente de 100 fA cuando no se incluye el efecto del mismatch. Una vez incluido el efecto del mismatch, se puede observar que el FPN apenas varía para corrientes altas, pero para corrientes bajas aumenta hasta el 32,58 %, tal y como se esperaba.

Por otra parte, el FPN obtenido tras comprimir los niveles de iluminación en un rango de [50 fA, 1 nA], se puede consultar en la Tabla 5.2. Analizando directamente el dato que incluye el efecto del mismatch, se puede observar que el FPN para 100 fA se ve ligeramente reducido, tomando un valor del 27,71 %, mientras que el FPN para 100 pA se ve drásticamente reducido hasta el 4,19 %, ya que la escala logarítmica causa que las variaciones de corriente elevada sean menos relevantes.

Si se representan los niveles de iluminación en una imagen (limitada a los 8 bits que suele representar un monitor en escala de grises), se puede comprender cómo afecta el FPN. Las Figuras 5.3(a) y (b) muestran la imagen obtenida tras la compresión en el Escenario 2 y 1, respectivamente, sin incluir el efecto del mismatch. Como se observa, para el caso de una corriente baja, la imagen

TABLA 5.1  
FPN OBTENIDO EN LOS ESCENARIOS 1 Y 2 (SIN COMPRIMIR).

	FPN (100 fA)	FPN (100 pA)
Sin efecto del mismatch	0,65 %	27,67 %
Con efecto del mismatch	32,58 %	28,55 %

TABLA 5.2  
FPN OBTENIDO EN LOS ESCENARIOS 1 Y 2 (COMPRIMIDO).

	FPN (100 fA)	FPN (100 pA)
Sin efecto del mismatch	0,46 %	4,09 %
Con efecto del mismatch	27,71 %	4,19 %

obtenida es prácticamente plana, mientras que para el caso de una corriente elevada aparece una especie de patrón con distintos niveles de iluminación, el cual destaca considerablemente ante el ojo humano aún presentando un FPN de solo el 4,09 %.

Por el contrario, las Figuras 5.3 (c) y (d) incluyen el efecto del mismatch, observando que en este caso para corrientes bajas la imagen obtenida es excesivamente dispar y que para corrientes altas apenas varía, ya que predomina el efecto de las colisiones. También se puede destacar que el patrón obtenido evoluciona a lo largo de las filas, debido a que las peticiones comienzan por estas, como ya se había comentado.

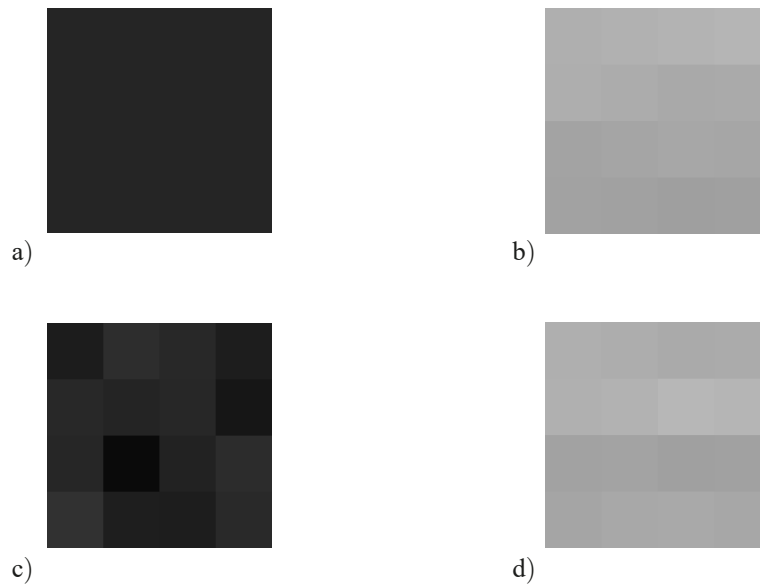


Figura 5.3. Imagen obtenida con una misma corriente en todos los píxeles de: a) 100 fA sin variaciones geométricas. b) 100 pA sin variaciones geométricas. c) 100 fA incluyendo variaciones geométricas. d) 100 pA incluyendo variaciones geométricas.

### 5.2.2. Estimación mediante simulación eléctrica: Imagen Patrón

El siguiente estudio que se realizó, consistió en definir una imagen patrón (a partir de determinados niveles de fotocorriente), la cual se ha representado en la Figura 5.4(a). Posteriormente, se introdujeron dichos valores de fotocorriente en la matriz  $4 \times 4$  con la que se realizaron las simulaciones anteriores para estudiar la imagen que se obtendría.

El resultado tras la simulación, sin incluir efecto del mismatch, es la imagen de la Figura 5.4(b), una imagen bastante fiel a la original, donde varía ligeramente el tono, ya que no se ha utilizado ninguna curva de calibración como podría ser la curva obtenida en la Figura 3.20. Para la región más iluminada se puede observar pequeñas variaciones en la intensidad debido a las colisiones (reducido respecto al caso del Escenario 1, al reducir el número de colisiones). Una vez añadido el efecto del mismatch, la Figura 5.3(c) muestra la imagen final, la cual presenta variaciones en la intensidad que se agravan conforme esta disminuye.

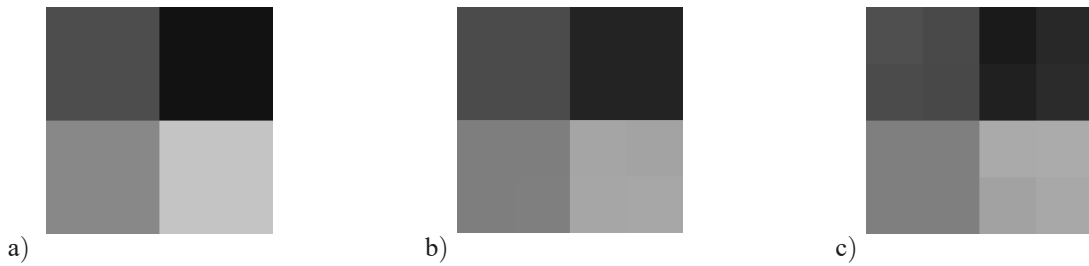


Figura 5.4. a) Imagen patrón a simular. b) Imagen obtenida sin incluir variaciones geométricas. c) Imagen obtenida incluyendo variaciones geométricas.

### 5.2.3. Estimación mediante métodos numéricos

La simulación eléctrica de un circuito complejo conteniendo miles o incluso millones de transistores suele llevar tiempos excesivamente largos (llegando al orden de meses) con el consecuente consumo de memoria, llegando a veces a ser incluso inviable. En determinadas ocasiones, resulta más interesante obtener una caracterización precisa de los sub-bloques que forman un sistema e implementar macro-modelos que emulen el funcionamiento de dichos sub-bloques para aliviar la simulación eléctrica o incluso utilizar modelos numéricos en lugar de modelos eléctricos.

Mediante las simulaciones eléctricas que se han realizado en este Capítulo y en el Capítulo 3, se ha comprobado que existe un retraso que limita ( $2.3 \mu\text{s}$  en el Escenario 1) y que el comparador es el elemento principal que contribuye a las variaciones temporales entre los pulsos de diferentes píxeles, dado que el tiempo de comparación posee una dependencia con la iluminación y la desviación a causa del mismatch de dicho tiempo aumenta conforme este aumenta. Esta información nos permite obtener un modelo grosero de cómo la información se vería distorsionada tomando un patrón como puede ser una imagen original.

Para dicho propósito, se implementó el algoritmo cuyo diagrama de flujo se ha representado en la Figura 5.5. Este algoritmo parte de una matriz de tiempos  $T$  (extrapolada a partir de una imagen, con la respectiva compresión logarítmica y mediante la expresión (3.4)) y una variable  $t$  que simula el tiempo de operación.

El algoritmo funcionaría de la siguiente manera: Mediante la condición 1 detecta si existen colisiones que resolver (el tiempo de ejecución es mayor que el que le corresponde a alguno de los píxeles sin leer). En caso contrario (como al inicio) se buscan los índices  $i$  y  $j$  de la posición de tiempo mínimo y se le añade un determinado retraso,  $t_{delay}$ , que no es más que la suma del retraso de lectura y el del comparador (con componente sistemática y aleatoria, ambas en función de  $T(i, j)$ ), para posteriormente actualizar  $t$  y eliminar el dato de  $T$  para darlo como leído. En el caso de que haya colisiones, mediante la condición 2 se estudia si la colisión se da en la fila de la

lectura anterior,  $r_{n-1}$  (dando prioridad a estas) y tomando un valor aleatorio de dicha fila (o de la matriz, en caso de que no haya colisiones en la fila) para asignar a dicha posición el tiempo actual  $t$  más  $t_{delay}$ . Realizando este proceso hasta leer todos los píxeles y realizando la conversión apropiada, se obtiene la imagen de salida.

Sin embargo, este modelo numérico presenta una precisión baja, ya que los tiempos de retraso poseen cierta dependencia al resto de variables (tensión umbral del comparador, tensión de alimentación, posición en la matriz, etc.) que no se han tenido en cuenta. Aun así, este modelo puede ofrecer cierta intuición de lo que podría ocurrir en una implementación real e incluso invalidar el funcionamiento global.

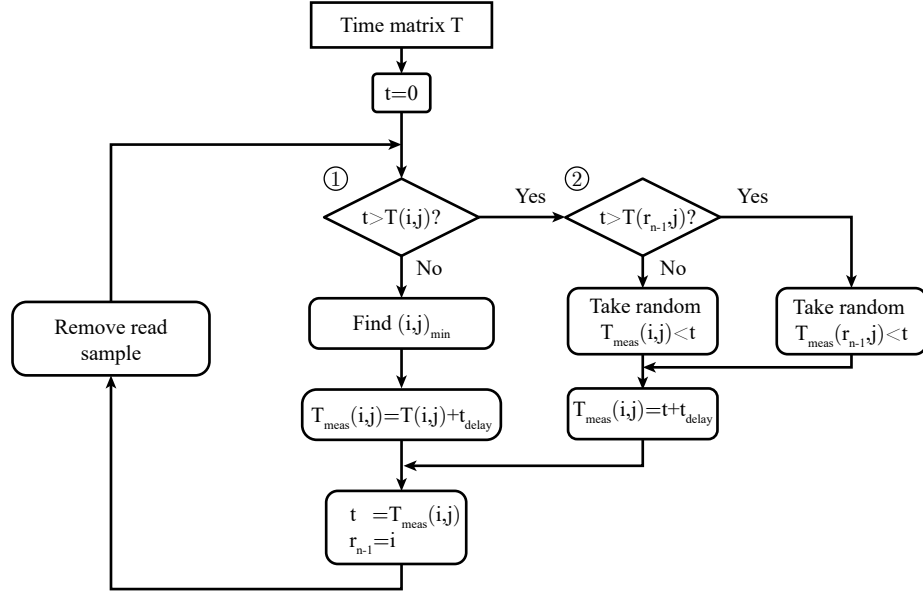


Figura 5.5. Diagrama de flujo del algoritmo para estimar la lectura de una imagen.

TABLA 5.3  
CONDICIONES DE OPERACIÓN EN LAS SIMULACIONES DE LA FIGURA 5.6.

	Figura 5.6(a)	Figura 5.6(b)	Figura 5.6(c)
$V_{EH}$	450 mV	350 mV	500 mV
$I_{ph,max}$	100 pA	50 pA	1 nA
$I_{ph,min}$	100 fA	50 fA	100 fA
$t_{d,readout}$	2.3 $\mu$ s	6 $\mu$ s	0.9 $\mu$ s

La Figura 5.6 muestra el resultado obtenido para tres imágenes distintas, los cuales no dejan de ser en cierta medida fortuitos ya que nada garantiza que en dichas escenas las condiciones de operación sean las escogidas, las cuales se han representado en la Tabla 5.3. En la Figura 5.6(a) se ha escogido una imagen con una gama amplia de tonalidades, donde puedan existir colisiones a diferentes niveles de iluminación, siendo la corriente máxima que podría existir de 100 pA y la mínima de 100 fA, suponiendo una tensión  $V_{EH}$  de 450 mV. Definiendo el valor umbral,  $V_{th}$  a mitad del rango de alimentación, el resultado obtenido es una imagen donde se aprecia el efecto de las colisiones en la zona más iluminada y cierto ruido en la imagen debido al mismatch, más apreciable en las zonas oscuras, como las sombras. Si se disminuye la tensión umbral, por ejemplo a 100 mV, los tiempos aumentan y el efecto de las colisiones disminuye, a costa de aumentar el efecto del mismatch.

Por otra parte, imagen de la Figura 5.6(b), es una imagen donde predominan los tonos oscuros, donde se ha supuesto que la tensión de alimentación se reduciría a 350 mV y las tensiones máximas y mínimas a la mitad, además de casi triplicar el retraso entre lecturas. El resultado en este caso para  $V_{th} = V_{EH}/2V$  es una imagen donde se aprecia mejor la información contenida, ya que los tiempos de disparo son menores y las colisiones no son tan notorias. Si se disminuye la tensión umbral, al igual que antes disminuyen las colisiones y aumenta ligeramente el ruido.

Por último, la imagen de la Figura 5.6(c) es una imagen con luz natural, donde el fondo se encuentra excesivamente iluminado. Bajo dicha condición, se ha supuesto que la tensión  $V_{EH}$  alcanza los 500 mV y que la corriente máxima alcanza el valor de 1 nA. Este escenario supone un gran reto, ya que aunque el retraso entre lecturas se pueda reducir hasta 0.9  $\mu$ s (datos de simulación eléctrica en corner nominal), sigue siendo un valor considerable respecto al tiempo de integración. El resultado con la tensión umbral a la mitad del rango de alimentación, es una imagen en la que aún se aprecia la información principal, pero donde el fondo se ve afectado en gran magnitud por las colisiones (aunque sigue apreciándose cierta información que podría ser de interés). Si además, se disminuye la tensión umbral, el fondo sigue predominado por las colisiones, pero se pueden apreciar más detalles del plano principal.

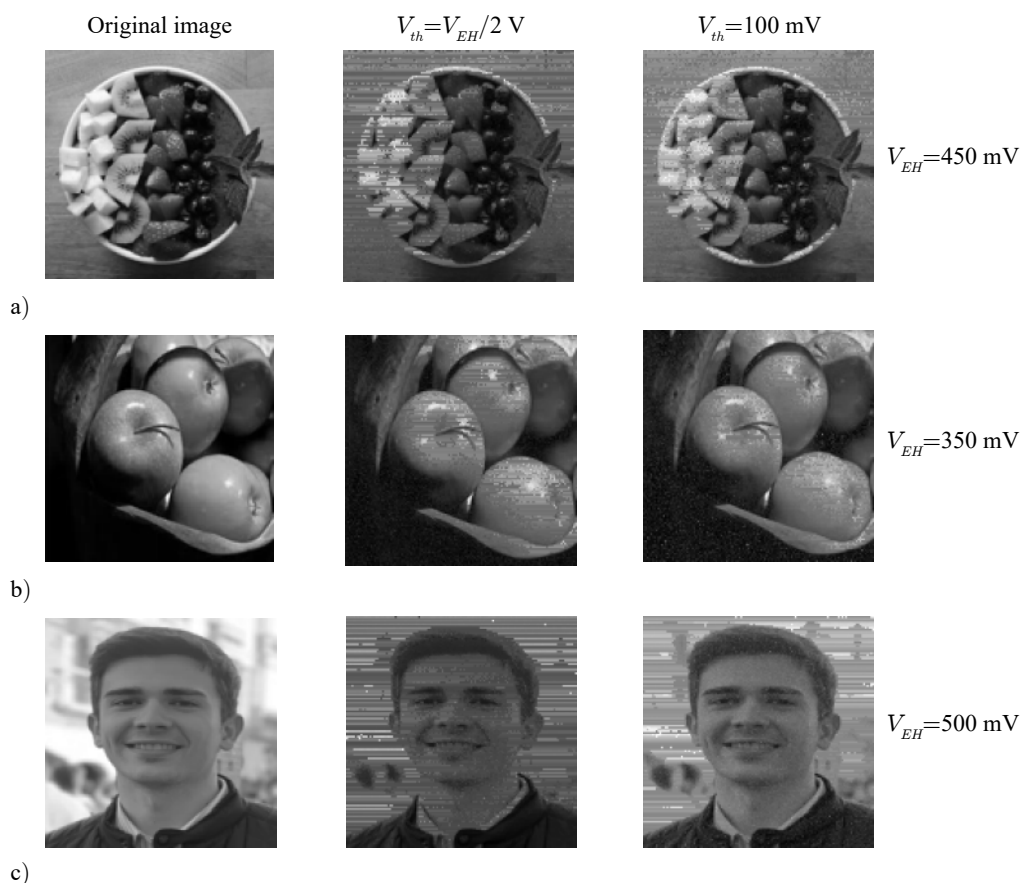


Figura 5.6. Imagen original e imagen obtenida para: a)  $V_{EH} = 450$  mV y  $I_{ph} \in [100$  fA, 100 pA]. b)  $V_{EH} = 350$  mV y  $I_{ph} \in [50$  fA, 50 pA]. c)  $V_{EH} = 500$  mV y  $I_{ph} \in [100$  fA, 1 nA].

Por lo tanto, se puede esperar que el sensor sea capaz de captar la información del medio si las condiciones de operación fuesen similares a las supuestas en simulación. El error cuadrático medio (RMSE) se ha calculado y recogido en la Tabla 5.4 para los distintos valores.

Finalmente se puede volver a estimar el FPN del sensor generando una imagen con iluminación

uniforme. Aun así, habría que recordar que en este tipo de sensores, el FPN presenta una dependencia con la imagen sensada, a diferencia de los sensores APS convencionales, por lo que el FPN medido supondría una situación muy pesimista y que no representaría una situación real. Por ello, se tomó la situación con mayor rango de tensión de la Tabla 5.3 y una iluminación relativamente baja (Figura 5.7(a)), obteniendo el resultado de la Figura 5.7(b) y arrojando un FPN del 10,17%. Cabe destacar que el FPN es basatante menor que en el caso de la simulación eléctrica para valores de baja iluminación, sin embargo, al ser el número de muestras (píxeles simulados) mayor, cuando el efecto predominante es el mismatch, la desviación desaparece al suponerse una distribución Gaussiana de la componente aleatoria.

TABLA 5.4  
RMSE EN CÓDIGOS DIGITALES (0-255) DE LAS IMÁGENES OBTENIDAS RESPECTO A LAS ORIGINALES.

$V_{th}$	Figura 5.6(a)	Figura 5.6(b)	Figura 5.6(c)
$V_{EH}/2$	11.3	5.8	15.95
100 mV	10.2	3	15.91



Figura 5.7. a) Patrón. b) Salida del modelo numérico.

### 5.3. Resumen de características

Para finalizar este capítulo, se ha recogido en la Tabla 5.5 las características más importantes del sensor y el pixel medidas en simulación, comparando con otros sensores que incluyen capacidad de recolección de energía y del estado del arte de los sensores asíncronos.

El primero de los candidatos escogidos para tal comparación han sido el sensor de Park [7], un sensor APS que integra dos fotodiodos, uno dedicado al sensado y otro gran fotodiodo entre el sustrato y un pozo compartido por toda la matriz, polarizado a una tensión de de DC a la recolección de energía. Esto hacía imposible que en los píxeles se pudiesen utilizar transistores tipo N y forzaba a utilizar pozos aislados para crear este tipo de transistores en la periferia.

El segundo sensor escogido fue el propuesto por Chiou [8], un sensor de muy bajo consumo basado en la modulación en ancho de pulso (PWM) de la fotocorriente, capaz de funcionar a 320 mV. Sin embargo, el esquema síncrono de lectura causa que la recolección de energía solo se realice una vez que haya finalizando la operación, aumenta el periodo efectivo de operación respecto al caso en el que se pudiera recolectar energía una vez leído el píxel.

Por otra parte, Ay propuso en [72] una versión mejorada de [55], un sensor APS de bajo consumo, que separa la operación de sensado y recolección y donde realiza la conversión DC-DC de la tensión generada para lograr un nivel de tensión 1 V y alcanzar las prestaciones reportadas. El consumo del píxel de dicho sensor es ínfimo, pero el consumo global aumenta considerablemente debido a la cantidad de elementos analógicos de la periferia, ADCs y generadores de referencias.

Finalmente, se ha tomado un sensor DVS comercial de Celepixel [73] para tener una referencia del tamaño de los píxeles y su FF. Sin embargo, hay que tener en cuenta que compañías con tecnologías más avanzadas (con capacidad de, por ejemplo, realizar una integración 3D desarrollada) como puede ser Sony [16], son capaces de lograr resultados mucho mejores.

En cuanto a los resultados obtenidos por el sensor diseñado, cabe destacar que es capaz de operar a un rango de tensión bastante más bajo que el resto (aunque las prestaciones se degradan de manera excesiva) y que su consumo global (extrapolado) es prácticamente un orden de magnitud inferior gracias a la arquitectura asíncrona implementada, siendo solo del mismo orden el consumo reportado por [72] trabajando a 1 FPS (tasa que se espera superar con alto margen), cuyo píxel puede llegar a consumir menos potencia durante la operación, pero no es capaz de dejar de consumir y aportar a la recolección de energía durante la misma. Aunque el tamaño y el FF no es tan competitivo como el de otros trabajos reportados que implementan recolección de energía, se puede observar que el tamaño es similar al de un sensor asíncrono del estado del arte, pero triplicando su FF.

TABLA 5.5  
COMPARACIÓN DE LAS CARACTERÍSTICAS DEL SENSOR.

	Este trabajo	[7]	[8]	[72]	[73]
Tensión de alimentación mínima (V)	0,25	0,6	0,4	1	3,3
Consumo del sensor ( $\mu W$ )	0,7 <sup>1</sup>	3,8-57,8	10,6-32,1	0,92-9,04	-
Consumo del píxel ( $pW$ )	28	-	10,6-32,1	2,3-14,5	-
Pitch del píxel	19,5	5	7,6	18	18
FF (%)	30,65	46-94 <sup>2</sup>	30,8	42,5-65 <sup>2</sup>	9
FPN (%)	4-10 <sup>3</sup>	3,8	0,189	0,3	-
Rango dinámico	80 <sup>4</sup>	-	137	45-60	120
Transistores por píxel	48	3	5	4	-
Tecnología ( $\mu m$ )	0,18	0,18	0,18	0,35	0,18
Número de píxeles	128 × 128	100 × 90	256 × 192	65 × 65	768 × 640
Esquema de lectura	Asínc. (TFS)	Sínc. (APS)	Sínc. (PWM)	Sínc. (APS)	Asínc. (DVS)
Recolección de energía	Sí	Sí	Sí	Sí	No

<sup>1</sup> Valor extrapolado.

<sup>2</sup> Fill Factor del fotodiodo que recolecta energía y el que sensa imagen, respectivamente.

<sup>3</sup> Bajo las suposiciones de este capítulo.

<sup>4</sup> Para una tensión de alimentación de 350 mV. El rango dinámico puede aumentar si aumenta la tensión de alimentación.





## Capítulo 6

# Conclusiones y trabajo futuro

Durante la realización de este estudio, además de haber recorrido el flujo de diseño analógico, se han ido descubriendo las limitaciones presentes en el uso de fotodiodos para alimentar determinados bloques en una tecnología CMOS, ya que la conversión *DC/DC* no resulta lo suficientemente eficiente y los niveles de tensión y corriente son tan pequeños que no permiten el uso de técnicas convencionales, siendo la corriente de fuga uno de los principales límites que pueden llegar a aparecer.

Se ha demostrado la posibilidad de implementar un píxel asíncrono con un consumo ínfimo (alrededor de 80 pA), lo que permite alimentar la matriz de píxeles a través de una capacidad externa precargada durante el tiempo de inactividad, sin que la caída de tensión sea relativamente importante durante la operación, lo que permite sensar varias imágenes antes de alcanzar el umbral a partir del cual el píxel deja de funcionar (sobre los 250 mV). El consumo del sensor completo incluyendo la periferia se ha estimado, alcanzando los 0.7  $\mu$ W, teniendo en cuenta que puede variar dependiendo de la distribución de iluminaciones en la matriz.

Por otra parte, la conmutación del fotodiodo entre regiones, aparece como un recurso inherente en los sensores de imagen asíncronos, ya que, unido a técnicas de bajo consumo, permitiría la reducción total del consumo de la matriz de píxeles, tal y como se ha demostrado en este trabajo. El consumo estimado del sensor es prácticamente un orden de magnitud inferior a otros sensores con capacidad de recolección de energía propuesto en la literatura y aunque a priori el consumo estático del píxel pueda ser mayor que el de otras implementaciones, dado que este no consume durante toda la operación, el consumo medio de la matriz de píxeles podría llegar a ser menor.

Además, el píxel diseñado no presenta una gran complejidad arquitectural y su tamaño y FF lo sitúan cercanos al estado del arte en el mundo de los sensores asíncronos, los cuales pueden presentar mejores prestaciones, pero no implementan un método de recolección de energía. Aun así, el píxel podría experimentar una mejora del rendimiento y los resultados si se aumenta la tensión de alimentación del mismo.

Sin embargo, la complejidad del estudio plantea una serie de retos a modo de trabajos futuros como pueden ser:

- Incluir una unidad de gestión de potencia (PMU) de bajo consumo y con un mecanismo de autoarranque capaz de dirigir la operación del sensor en función de los niveles de iluminación y la carga almacenada en cada momento.
- Estudiar posibles arquitecturas que sustituyan el comparador con el objetivo de reducir aún más el consumo del píxel durante la operación y reducir el FPN debido a las variaciones geométricas.
- Estudiar posibles esquemas de arbitración que minimicen el consumo.
- Implementar algoritmos de sensado compresivo que sean capaces de explotar la posibilidad de escoger qué píxeles sensan imagen, para obtener una operación óptima.
- Aumentar la precisión de los modelos numéricos utilizados para estimar la imagen de salida

mediante el modelo de efectos adicionales.

# Bibliografía

- [1] H. Jayakumar, K. Lee, W. S. Lee, A. Raha, Y. Kim, and V. Raghunathan, “Powering the Internet of Things,” in *2014 IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED)*, 2014, pp. 375–380.
- [2] “Systems and architectures,” *International roadmap for devices and systems 2020 edition*, [https://irds.ieee.org/images/files/pdf/2020/2020IRDS\\_SA.pdf](https://irds.ieee.org/images/files/pdf/2020/2020IRDS_SA.pdf).
- [3] J. Kim, P. K. T. Mok, and C. Kim, “A 0.15 V input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 2, pp. 414–425, 2015.
- [4] E. F. Santiago, “Light micro-energy harvesting in standard CMOS technologies,” Ph.D. dissertation, Universidade de Santiago de Compostela, 2019.
- [5] M. K. Law and A. Bermak, “High-voltage generation with stacked photodiodes in standard CMOS process,” *IEEE Electron Device Letters*, vol. 31, no. 12, pp. 1425–1427, 2010.
- [6] R. Gómez-Merchán, D. Palomeque-Mangut, J. A. Leñero-Bardallo, M. Delgado-Restituto, and Á. Rodríguez-Vázquez, “A comparative study of stacked-diode configurations operating in the photovoltaic region,” *IEEE Sensors Journal*, pp. 1–1, 2020.
- [7] S. Park, K. Lee, H. Song, and E. Yoon, “Simultaneous Imaging and Energy Harvesting in CMOS Image Sensor Pixels,” *IEEE Electron Device Letters*, vol. 39, no. 4, pp. 532–535, 2018.
- [8] A. Y. Chiou and C. Hsieh, “A 137 dB Dynamic Range and 0.32 V Self-Powered CMOS Imager With Energy Harvesting Pixels,” *IEEE Journal of Solid-State Circuits*, vol. 51, no. 11, pp. 2769–2776, 2016.
- [9] E. R. Fossum, “Active pixel sensors: Are CCDs dinosaurs?” in *Charge-Coupled Devices and Solid State Optical Sensors III*, vol. 1900. International Society for Optics and Photonics, 1993, pp. 2–14.
- [10] M. Yang, S. Liu, and T. Delbruck, “A Dynamic Vision Sensor With 1% Temporal Contrast Sensitivity and In-Pixel Asynchronous Delta Modulator for Event Encoding,” *IEEE Journal of Solid-State Circuits*, vol. 50, no. 9, pp. 2149–2160, 2015.
- [11] C. Brandli, R. Berner, M. Yang, S.-C. Liu, and T. Delbruck, “A  $240 \times 180$  130 dB  $3 \mu\text{s}$  latency global shutter spatiotemporal vision sensor,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 10, pp. 2333–2341, 2014.
- [12] A. Darmont, “Methods to extend the dynamic range of snapshot active pixel sensors,” in *Sensors, Cameras, and Systems for Industrial/Scientific Applications IX*, vol. 6816. International Society for Optics and Photonics, 2008, p. 681603.
- [13] E. Culurciello, R. Etienne-Cummings, and K. A. Boahen, “A biomorphic digital image sensor,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 2, pp. 281–294, 2003.

- [14] P. Lichtsteiner, C. Posch, and T. Delbruck, "A 128 x 128 120dB 30 mW asynchronous vision sensor that responds to relative intensity change," in *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*, 2006, pp. 2060–2069.
- [15] M. Yang, S. Liu, and T. Delbruck, "A Dynamic Vision Sensor With 1% Temporal Contrast Sensitivity and In-Pixel Asynchronous Delta Modulator for Event Encoding," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 9, pp. 2149–2160, 2015.
- [16] T. Finateu, A. Niwa, D. Matolin, K. Tsuchimoto, A. Mascheroni, E. Reynaud, P. Mostafalu, F. Brady, L. Chotard, F. LeGoff, H. Takahashi, H. Wakabayashi, Y. Oike, and C. Posch, "5.10 A 1280×720 Back-Illuminated Stacked Temporal Contrast Event-Based Vision Sensor with 4.86μm Pixels, 1.066GEPS Readout, Programmable Event-Rate Controller and Compressive Data-Formatting Pipeline," in *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, 2020, pp. 112–114.
- [17] R. F. Pierret, *Semiconductor device fundamentals*. Pearson Education India, 1996.
- [18] U. Mishra and J. Singh, *Semiconductor device physics and design*. Springer Science & Business Media, 2007.
- [19] G. N. Tiwari and S. Dubey, *Fundamentals of photovoltaic modules and their applications*. Royal Society of Chemistry, 2009.
- [20] B. Newhall *et al.*, *The History of Photography: from 1839 to the present day*. Museum of Modern Art, 1982.
- [21] W. S. Boyle and G. E. Smith, "Charge coupled semiconductor devices," *Bell System Technical Journal*, vol. 49, no. 4, pp. 587–593, 1970.
- [22] C. C. Enz and G. C. Temes, "Circuit techniques for reducing the effects of OP-AMP imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, 1996.
- [23] S. Suh, S. Itoh, S. Aoyama, and S. Kawahito, "Column-parallel correlated multiple sampling circuits for CMOS image sensors and their noise reduction effects," *Sensors*, vol. 10, no. 10, pp. 9139–9154, 2010.
- [24] D. Park *et al.*, "A 0.8 μm Smart Dual Conversion Gain Pixel for 64 Megapixels CMOS Image Sensor with 12k e- Full-Well Capacitance and Low Dark Noise," in *2019 IEEE International Electron Devices Meeting (IEDM)*, 2019, pp. 16.2.1–16.2.4.
- [25] S. Matsuo, T. J. Bales, M. Shoda, S. Osawa, K. Kawamura, A. Andersson, M. Haque, H. Honda, B. Almond, Y. Mo, J. Gleason, T. Chow, and I. Takayanagi, "8.9-Megapixel Video Image Sensor With 14-b Column-Parallel sa-adc," *IEEE Transactions on Electron Devices*, vol. 56, no. 11, pp. 2380–2389, 2009.
- [26] L. Millet, M. Vigier, G. Sicard, W. Uhring, N. Margotat, F. Guellec, and S. Martin, "A 5 Million Frames Per Second 3D Stacked Image Sensor With In-Pixel Digital Storage," in *ESSCIRC 2018 - IEEE 44th European Solid State Circuits Conference (ESSCIRC)*, 2018, pp. 62–65.
- [27] K. Fukushima, Y. Yamaguchi, M. Yasuda, and S. Nagata, "An electronic model of the retina," *Proceedings of the IEEE*, vol. 58, no. 12, pp. 1950–1951, 1970.
- [28] C. Mead and M. A. Mahowald, "A Silicon Model of Early Visual Processing," *New York: Pergamon*, 1988.

- [29] C. Mead, "Neuromorphic electronic systems," *Proceedings of the IEEE*, vol. 78, no. 10, pp. 1629–1636, 1990.
- [30] M. Mahowald, *An analog VLSI system for stereoscopic vision*. Springer Science & Business Media, 1994, vol. 265.
- [31] M. Silvilotti, "Wiring Considerations in Analog VLSI Systems with Application to Field-programmable Networks," Ph.D. dissertation, Cal. Inst. of Tech., Pasadena, California, 1991.
- [32] P. Lichtsteiner, C. Posch, and T. Delbruck, "A  $128 \times 128$  120 dB 15  $\mu$ s Latency Asynchronous Temporal Contrast Vision Sensor," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 2, pp. 566–576, 2008.
- [33] J. A. Leñero-Bardallo, R. Carmona-Galán, and . Rodríguez-Vázquez, "A high dynamic range image sensor with linear response based on asynchronous event detection," in *2015 European Conference on Circuit Theory and Design (ECCTD)*, 2015, pp. 1–4.
- [34] Chen Shoushun and A. Bermak, "A low power CMOS imager based on time-to-first-spike encoding and fair AER," in *2005 IEEE International Symposium on Circuits and Systems*, 2005, pp. 5306–5309 Vol. 5.
- [35] A. de la Calle-Martos, R. Gomez-Merchan, J. A. Leñero-Bardallo, and A. Rodríguez-Vázquez, "Sun tracker sensor for attitude control of space navigation systems," in *2020 IS&T International Symposium on Electronic Imaging*.
- [36] C. Posch, D. Matolin, and R. Wohlgenannt, "A QVGA 143 dB Dynamic Range Frame-Free PWM Image Sensor With Lossless Pixel-Level Video Compression and Time-Domain CDS," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 259–275, 2011.
- [37] M. Gottardi, N. Massari, and S. A. Jawed, "A 100  $\mu$  w  $128 \times 64$  Pixels Contrast-Based Asynchronous Binary Vision Sensor for Sensor Networks Applications," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 5, pp. 1582–1592, 2009.
- [38] J. A. Leñero-Bardallo, D. H. Bryn, and P. Häfliger, "Bio-Inspired Asynchronous Pixel Event Tricolor Vision Sensor," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 8, no. 3, pp. 345–357, 2014.
- [39] A. Marquez, J. I. Leon, S. Vazquez, L. G. Franquelo, J. M. Carrasco, and E. Galvan, "Binary search based MPPT algorithm for high-power PV systems," in *2016 10th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*, 2016, pp. 168–173.
- [40] S. K. Kollimalla and M. K. Mishra, "Variable Perturbation Size Adaptive P&O MPPT Algorithm for Sudden Changes in Irradiance," *IEEE Transactions on Sustainable Energy*, vol. 5, no. 3, pp. 718–728, 2014.
- [41] K. Amara, A. Fekik, D. Hocine, M. L. Bakir, E. Bourennane, T. A. Malek, and A. Malek, "Improved Performance of a PV Solar Panel with Adaptive Neuro Fuzzy Inference System ANFIS based MPPT," in *2018 7th International Conference on Renewable Energy Research and Applications (ICRERA)*, 2018, pp. 1098–1101.
- [42] D. S. Pillai, J. P. Ram, A. M. Y. M. Ghias, M. A. Mahmud, and N. Rajasekar, "An Accurate, Shade Detection-based Hybrid Maximum Power Point Tracking Approach for PV Systems," *IEEE Transactions on Power Electronics*, vol. 35, no. 6, pp. 6594–6608, 2020.
- [43] B. Lin, L. Wang, and Q. H. Wu, "Maximum Power Point Scanning for PV Systems Under Various Partial Shading Conditions," *IEEE Transactions on Sustainable Energy*, pp. 1–1, 2020.

- [44] J. P. Ram, D. S. Pillai, N. Rajasekar, and S. M. Strachan, "Detection and Identification of Global Maximum Power Point Operation in Solar PV Applications Using a Hybrid ELPSO-P o Tracking Technique," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 2, pp. 1361–1374, 2020.
- [45] R. Gomez-Merchan, S. Vazquez, A. Marquez Alcaide, H. Dehghani Tafti, J. I. Leon, J. Pou, C. A. Rojas, S. Kouro, and L. G. Franquelo, "Binary Search-Based Flexible Power Point Tracking Algorithm for Photovoltaic Systems," *IEEE Transactions on Industrial Electronics*, pp. 1–1, 2020.
- [46] H. D. Tafti, A. Sangwongwanich, Y. Yang, J. Pou, G. Konstantinou, and F. Blaabjerg, "An Adaptive Control Scheme for Flexible Power Point Tracking in Photovoltaic Systems," *IEEE Transactions on Power Electronics*, vol. 34, no. 6, pp. 5451–5463, 2019.
- [47] A. Cabrera-Tobar, E. Bullich-Massague, M. A. Penalba, , and O. Gomis-Bellmunt, "Review of advanced grid requirements for the integration of large scale photovoltaic power plants in the transmission system," *Renew. Sustain. Energy Rev.*, vol. 62, pp. 971–987, Sep. 2016.
- [48] R. W. Erickson and D. Maksimovic, *Fundamentals of power electronics*. Springer Science & Business Media, 2007.
- [49] J. Tsai, S. Ko, C. Wang, Y. Yen, H. Wang, P. Huang, P. Lan, and M. Shen, "A 1 v input, 3 V-to-6 V output, 58 %-efficient integrated charge pump with a hybrid topology for area reduction and an improved efficiency by using parasitics," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2533–2548, 2015.
- [50] N. Tang, B. Nguyen, Y. Tang, W. Hong, Z. Zhou, and D. Heo, "8.4 fully integrated buck converter with 78 % efficiency at 365mw output power enabled by switched-inductor capacitor topology and inductor current reduction technique," in *2019 IEEE International Solid- State Circuits Conference - (ISSCC)*, 2019, pp. 152–154.
- [51] J. A. Leñero-Bardallo, M. Delgado-Restituto, R. Carmona-Galán, and . Rodríguez-Vázquez, "Enhanced Sensitivity of CMOS Image Sensors by Stacked Diodes," *IEEE Sensors Journal*, vol. 16, no. 23, pp. 8448–8455, 2016.
- [52] S. Feruglio, T. Courcier, O. Tsiakaka, A. Karami, A. Alexandre-Gauthier, O. Romain, V. Aimez, P. G. Charette, P. Pittet, and G.-N. Lu, "A CMOS buried Quad pn junction photodetector model," *IEEE Sensors Journal*, vol. 16, no. 6, pp. 1611–1620, 2015.
- [53] C. Richard, T. Courcier, P. Pittet, S. Martel, L. Ouellet, G.-N. Lu, V. Aimez, and P. G. Charette, "CMOS buried quad pn junction photodetector for multi-wavelength analysis," *Optics express*, vol. 20, no. 3, pp. 2053–2061, 2012.
- [54] T. Courcier, M. Goulart, P. Pittet, D. W. de Lima Monteiro, P. G. Charette, V. Aimez, and G.-N. Lu, "CMOS BQJ detector chip with integrated charge-amplifiers for fluorescence measurements," *Sensors and Actuators B: Chemical*, vol. 190, pp. 288–294, 2014.
- [55] S. U. Ay, "A CMOS Energy Harvesting and Imaging (EHI) Active Pixel Sensor (APS) Imager for Retinal Prosthesis," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, no. 6, pp. 535–545, 2011.
- [56] C. Shi, M. K. Law, and A. Bermak, "A Novel Asynchronous Pixel for an Energy Harvesting CMOS Image Sensor," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 1, pp. 118–129, 2011.

- [57] H. Wang and W. D. Leon-Salas, "A hybrid CMOS imager with sensing and energy harvesting capabilities," in *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2013, pp. 2634–2637.
- [58] M. Chung, C. Lee, C. Yin, and C. Hsieh, "A 0.5 V PWM CMOS Imager with 82 dB Dynamic Range and 0.055 % Fixed-Pattern-Noise," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 10, pp. 2522–2530, 2013.
- [59] K. A. Boahen, "Retinomorph Vision Systems: Reverse Engineering the Vertebrate Retina," Ph.D. dissertation, Cal. Inst. of Tech., Pasadena, California, 1996.
- [60] G. Gallego, T. Delbruck, G. Orchard, C. Bartolozzi, B. Taba, A. Censi, S. Leutenegger, A. Davison, J. Conradt, K. Daniilidis *et al.*, "Event-based vision: A survey," *arXiv preprint arXiv:1904.08405*, 2019.
- [61] T. Delbrück, B. Linares-Barranco, E. Culurciello, and C. Posch, "Activity-driven, event-based vision sensors," in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, May 2010, pp. 2426–2429.
- [62] G. Indiveri, B. Linares-Barranco, T. Hamilton, A. van Schaik, R. Etienne-Cummings, T. Delbruck, S.-C. Liu, P. Dudek, P. Häfliger, S. Renaud, J. Schemmel, G. Cauwenberghs, J. Arthur, K. Hynna, F. Folorosele, S. Saïgui, T. Serrano-Gotarredona, J. Wijekoon, Y. Wang, and K. Boahen, "Neuromorphic Silicon Neuron Circuits," *Frontiers in Neuroscience*, vol. 5, p. 73, 2011. [Online]. Available: <https://www.frontiersin.org/article/10.3389/fnins.2011.00073>
- [63] M. Vatteroni, P. Valdastrì, A. Sartori, A. Menciassi, and P. Dario, "Linear–Logarithmic CMOS Pixel With Tunable Dynamic Range," *IEEE Transactions on Electron Devices*, vol. 58, no. 4, pp. 1108–1115, 2011.
- [64] C. Shoushun and A. Bermak, "Arbitrated Time-to-First Spike CMOS Image Sensor With On-Chip Histogram Equalization," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 3, pp. 346–357, 2007.
- [65] E. Sánchez-Sinencio and A. G. Andreou, *Low-voltage/low-power integrated circuits and systems: low-voltage mixed-signal circuits*. Wiley-IEEE Press, 1999, vol. 4.
- [66] J. A. Leñero-Bardallo and P. Häfliger, "A dual operation mode bio-inspired vision sensor," in *2013 IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 2013, pp. 310–313.
- [67] J. A. Leñero-Bardallo, R. Carmona-Galán, and . Rodríguez-Vázquez, "A wide linear dynamic range image sensor based on asynchronous self-reset and tagging of saturation events," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 6, pp. 1605–1617, 2017.
- [68] R. V. Rullen and S. J. Thorpe, "Rate coding versus temporal order coding: What the retinal ganglion cells tell the visual cortex," *Neural Computation*, vol. 13, no. 6, pp. 1255–1283, 2001.
- [69] K. A. Boahen, "Point-to-point connectivity between neuromorphic chips using address events," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, no. 5, pp. 416–434, 2000.
- [70] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, "1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 8, pp. 847–854, 1995.
- [71] E. M. V. Association *et al.*, "EMVA Standard 1288—standard for characterization of image sensors and cameras release 3.0," 2016. [Online]. Available: <https://www.emva.org/wp-content/uploads/EMVA1288-3.0.pdf>

- 
- [72] I. Cevik and S. U. Ay, “An ultra-low power energy harvesting and imaging (EHI) type CMOS APS imager with self-power capability,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 9, pp. 2177–2186, 2015.
- [73] M. Guo, J. Huang, and S. Chen, “Live demonstration: A  $768 \times 640$  pixels 200 Meps dynamic vision sensor,” in *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2017, pp. 1–1.