

El objetivo de este boletín es familiarizar al alumno con la simulación de circuitos digitales secuenciales mediante simulación lógica. Para estudiar las características de conmutación típica de circuitos digitales nos fijaremos en la implementación, mediante elementos de librería, de funciones de conmutación secuenciales. Se hará énfasis en el análisis lógico-temporal, indeterminaciones de estado, errores debidos a violaciones temporales, etc. El boletín se compone de 3 ejercicios.

- 1.- Circuito secuencial es aquel en el que la salida depende de las entradas y del estado almacenado en el mismo. El concepto de estado está ligado a la presencia de caminos o lazos de realimentación. Dibuje los esquemáticos de los biestables de la Fig.1 conteniendo los elementos de librería que se indican. Deduzca analíticamente la tabla de estados que implementan previamente a realizar las simulaciones.
  - 1.a) Obtenga usando PSPICE la tabla de estado de los circuitos de la Fig. 1. Emplee para ello estímulos tipo DigClock de baja frecuencia (periodos múltiplos de  $1\ \mu\text{s}$ ), pero procurando que los eventos en las señales nunca sean coincidentes (basta con fijar un retraso de 200ns en una de las señales). Emplee los mismos patrones para los dos circuitos y explique las indeterminaciones iniciales. Determine las características temporales de ambos circuitos empleando retrasos típicos en las puertas.
  - 1.b) Repita el apartado anterior, haciendo coincidir los eventos en ambas señales, de forma que ambas suban y bajen simultáneamente. Explique el comportamiento anómalo que se observa en los dos circuitos. Repita las simulaciones considerando ahora el análisis de peor caso (*Analysis*  $\Rightarrow$  *Setup*  $\Rightarrow$  *Digital Setup*  $\Rightarrow$  *Worst-Case (Min/Max)*).
  - 1.c) De los resultados del apartado anterior se deduce que, en todo dispositivo biestable, existe un conjunto de restricciones temporales sobre las señales de entrada que se han de verificar para el correcto funcionamiento del sistema. Básicamente, en los circuitos de la Fig. 1 dichas restricciones son la distancia temporal mínima entre los cambios de las señales R y S, cuando cambian al mismo valor, así como la anchura mínima de pulso cuando éste ha de forzar el cambio de estado. Realice un conjunto de simulaciones para determinar las restricciones temporales en los circuitos de la Fig. 1. Para ello modifique la distancia entre los eventos del apartado 1.b hasta que desaparezcan las indeterminaciones. Repita las simulaciones reduciendo la anchura de los pulsos hasta que no se produzca cambio de estado.

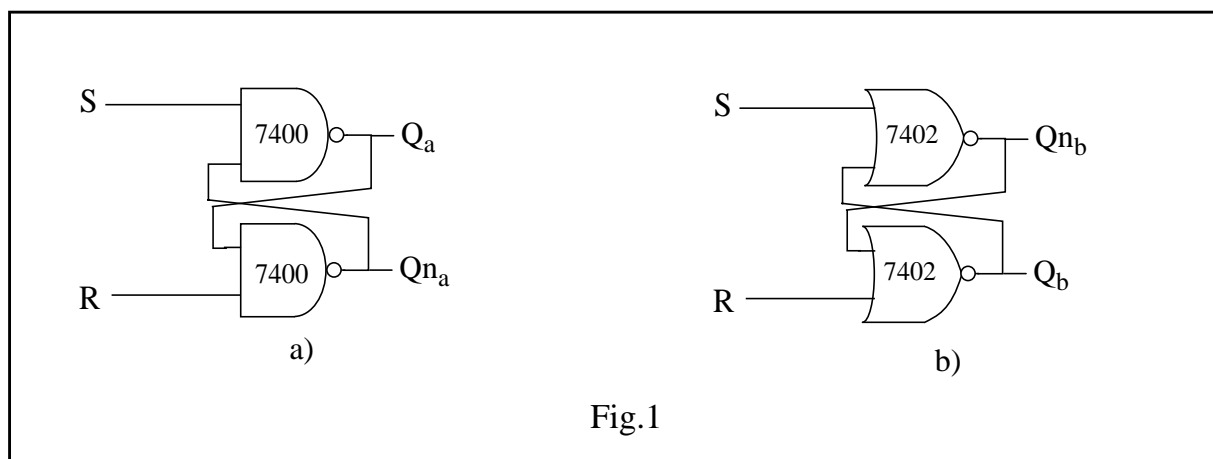


Fig.1

- 2.- En este problema trataremos el estudio mediante simulación de circuitos secuenciales de librería. Distinguiremos entre las excitaciones con entradas síncronas y asíncronas, la operación por nivel o flanco de reloj y los azares por violaciones de hold, setup y width.
- 2.a) Con el fin de garantizar el funcionamiento correcto de circuitos secuenciales, se suelen emplear elementos de memoria síncronos, cuya operación se dirige por el uso de una señal *privilegiada* llamada reloj. Existen dos modos básicos de operación respecto a la señal de reloj: el cambio de estado se produce por una transición de la señal de reloj (biestables disparados por flanco o *flip-flops*) o el cambio de estado tiene lugar durante una de las fases de reloj (biestables disparados por nivel o *latches*). Compare para los circuitos de la Fig. 2 el modo de operación y los tiempos de retraso en los casos típico, mínimo y máximo. Para el flip-flop de la Fig 2.b considere inicialmente las señales  $\overline{\text{PRE}}$  y  $\overline{\text{CLR}}$  colocadas a un nivel alto (HI).
- 2.b) Distinga para el flip-flop de la Fig. 2.b los cambios de estado producidos por las señales asíncronas ( $\overline{\text{PRE}}$  y  $\overline{\text{CLR}}$ ) de aquellos producidos síncronamente. Realice sendas simulaciones que pongan de manifiesto dichas diferencias. Muestre lo que ocurre cuando aparece un conflicto entre cambios de estados opuestos generados uno síncronamente y el otro asíncronamente.
- 2.c) En los elementos de librería secuenciales, los parámetros de setup, hold y width ya están previamente calculados y almacenados para cada elemento. Las violaciones de dichos parámetros dan lugar a azares de *setup*, *hold* y *width*: Si la anchura de la señal de reloj es demasiado pequeña -> **Azar de Width**. Si un comando o una señal de datos no permanece estable un tiempo suficiente *antes* del reloj -> **Azar de Setup**. Si un comando o una señal de datos no permanece estable un tiempo suficiente *después* del reloj -> **Azar de Hold**. Realice para los circuitos de la Fig. 2 sendas simulaciones que pongan de manifiesto la presencia de azares de Width, Setup y Hold.
- 2.d) Como en el caso de los circuitos combinacionales, los azares y violaciones temporales son considerados como *warnings*, porque pueden causar problemas serios de funcionamiento o no, y se debe comprobar si el diseño está garantizado en esos casos. Si una violación temporal o azar que provoca que se pase un estado incorrecto a un circuito interno (p.ej. un flip-flop) o a una salida primaria del circuito, se considera que dicho azar es **persistente**. Convierta el *warning* de azar por convergencia de ambigüedades en la salida del circuito de la Fig. 1d del boletín 5 en un azar persistente al almacenarse en el flip-flop D de la Fig. 2b dicho estado ambiguo cuando se activa el reloj CLK. Observe cómo se genera una salida indeterminada X en el flip-flop.

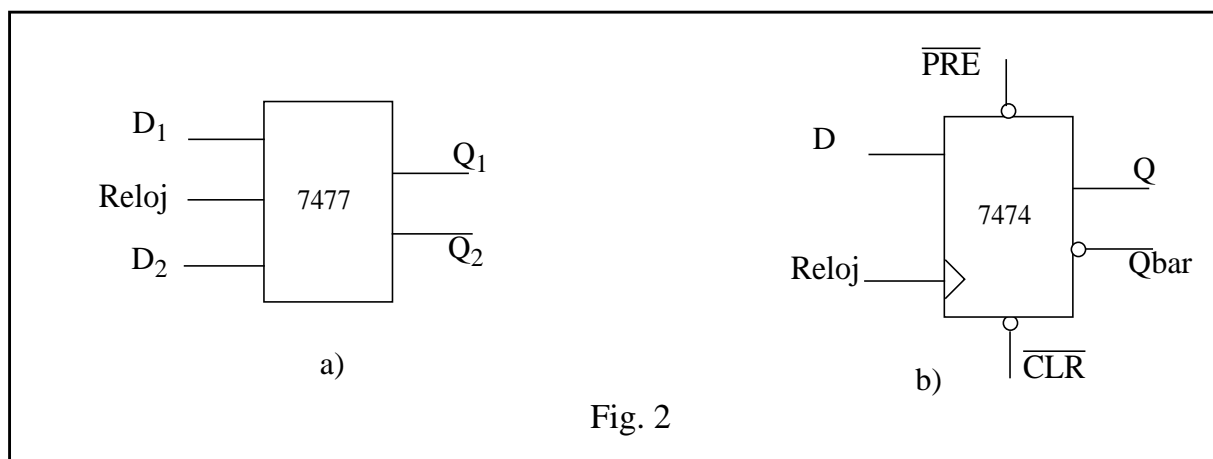


Fig. 2

3.- En este problema se tratará de diseñar subsistemas secuenciales. Considere para ello los circuitos de la Fig 3. Se trata de una implementación asíncrona (Fig. 3a) y otra síncrona (Fig. 3b) de un contador de 4 bits.

3.a) Simule ambos contadores, partiendo desde el estado de cuenta 0000, haciéndolos pasar por los 16 ciclos de cuenta. Considere los casos mínimo, típico y máximo. Caracterice las formas de onda de las salidas, midiendo en cada caso la frecuencia máxima de operación. Compare las ventajas e inconvenientes de ambas implementaciones.

3.b) Compruebe que el circuito de la Fig. 3c genera la misma función secuencial que el de la Fig. 3a y 3b. Verifique la temporización de las salidas y clasifique este contador según los tipos de la Fig. 3a y Fig. 3b.

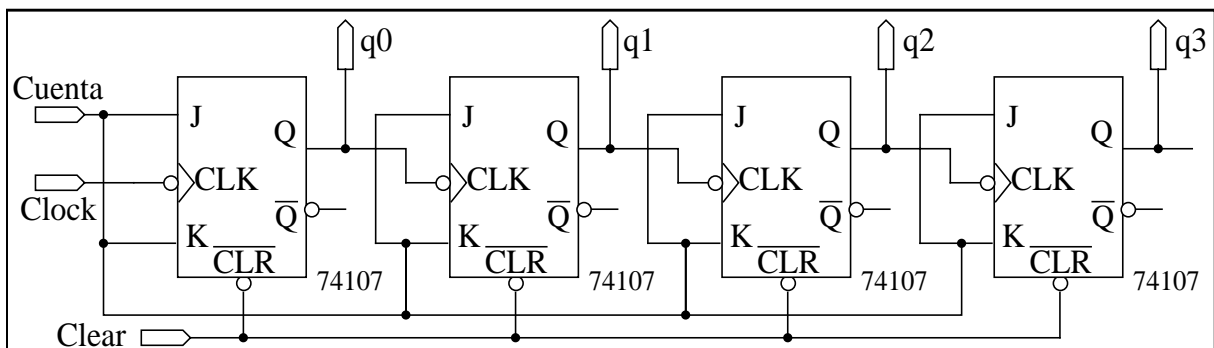


Fig.3a

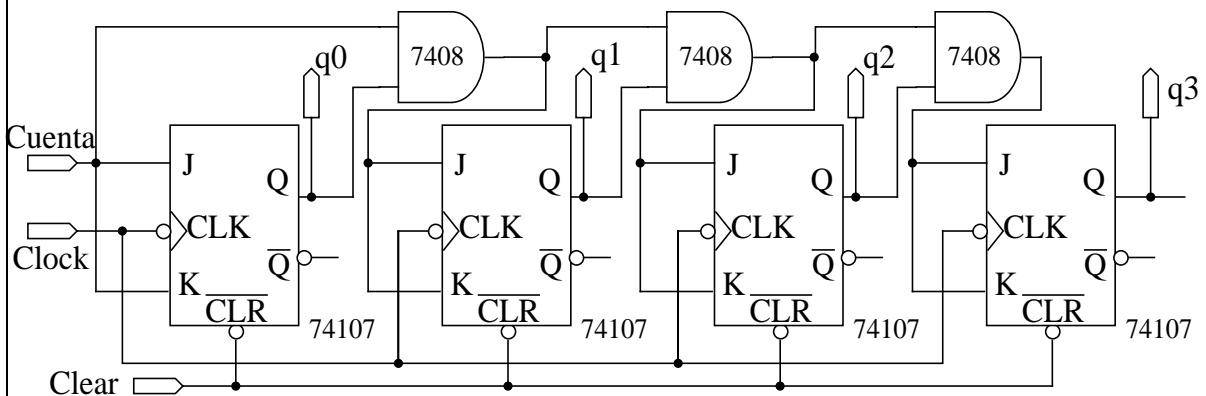


Fig.3b

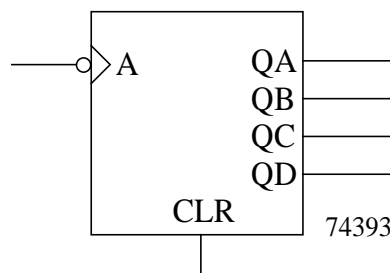


Fig.3c