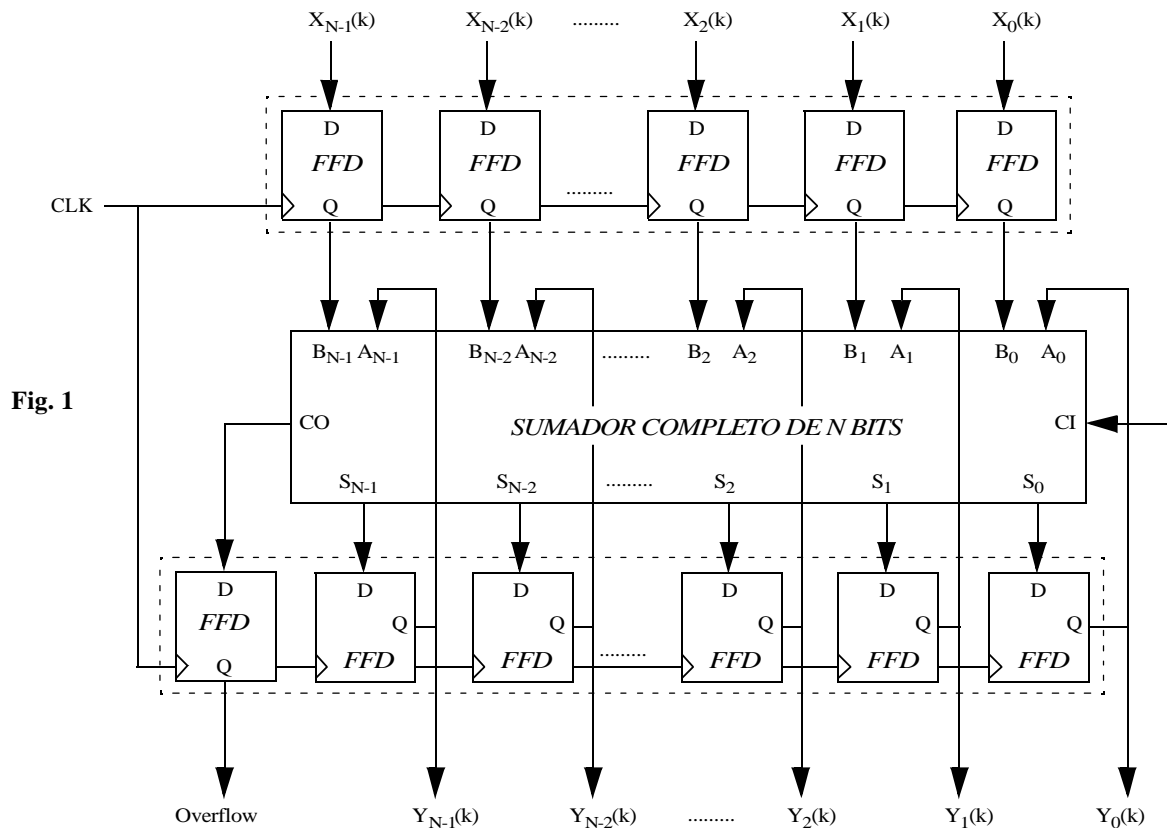


El objetivo de este boletín es familiarizar al alumno con la simulación de sistemas digitales de baja/mediana complejidad, compuestos por subsistemas combinatoriales y secuenciales. Dada las limitaciones de la versión de evaluación de PSPICE disponible, el ejemplo no puede ser excesivamente complejo.

- 1.- En este problema se pretende realizar la simulación lógica de un circuito aritmético, en concreto un sumador-acumulador de N bits, cuyo esquema se muestra en la Fig. 1.



Como puede observar, el sumador acumulador es simplemente un sumador paralelo de 2 números de N bits ($A_{N-1}A_{N-2}...A_2A_1A_0$ y $B_{N-1}B_{N-2}...B_2B_1B_0$) que, configurado junto con 2 bancos de flip-flops D, proporciona en cada ciclo de reloj (k) la suma acumulada de los números de N bits que se vayan introduciendo en $X_{N-1}X_{N-2}...X_2X_1X_0$. La señal de Overflow podrá ser usada como señal de validación del dato.

Por ejemplo, si se quisieran sumar los números 0001 (1), 0010 (2), 0011 (3) y 1000 (8), y considerando que los flip-flops están inicialmente a 0 y el carry de entrada $CI = 0$, tendríamos:

ciclo (k)	X_3	X_2	X_1	X_0		Overflow	Y_3	Y_2	Y_1	Y_0
1	0	0	0	1	1	0	0	0	0	0
2	0	0	1	0	2	0	0	0	0	1
3	0	0	1	1	3	0	0	0	1	1
4	1	0	0	0	8	0	0	1	1	0
5	0	1	1	1	0

Para construir un sumador acumulador de 4 bits, siga los siguientes pasos:

- 1.a) Construya el sumador completo de 1 bit que se muestra en la Fig.4a del Boletín 5 y cree un símbolo para él (Fig. 4b del Boletín 5; se debe poder recuperar de la librería *propia.slb*).
- 1.b) Utilizando este símbolo, construya el sumador paralelo de 4 bits de la Fig.4c del Boletín 5 y cree un símbolo para él. Incluya dicho símbolo en la librería *propia.slb*.
- 1.c) Por último, utilice este símbolo y bancos de flip-flops tipo D (74175 con 4 FFD y 74174 con 6 FFD, con clear activo en bajo y disparados por flanco de subida), para construir el sumador acumulador de 4 bits. Cree un símbolo para él.

- 1.d) Una vez acabada la construcción del sumador acumulador, proceda a comprobar su funcionamiento. Para ello considere dos casos:

Se quiere hacer la suma acumulada de $1+1+1+1+\dots$ ($0001+0001+0001+0001+\dots$) durante 16 ciclos. Para ello, fije convenientemente la entrada $X_3X_2X_1X_0$ con el estímulo de buses STIM4. Utilice un reloj digital 'DigClock' (ONTIME = OFFTIME = 0.5us). Fije el estado inicial de los flip-flops a 0 mediante la señal de puesta a 0 asíncrona, el carry de entrada a 0 y realice un análisis transitorio hasta 25us.

Se quiere hacer la suma de $1+2+3+8+\dots$ ($0001+0010+0011+1000+0000$, este último 0 para que se pare la suma aunque el reloj siga activo).

Para ello, fije convenientemente las entradas $X_3X_2X_1X_0$ con bloques STIM4. Utilice el mismo reloj que en el apartado anterior, emplee la puesta a 0 de los flip-flops en 'Digital Setup' para inicializarlos y realice un análisis transitorio hasta 10us.

- 1.e) Es obvio que la capacidad del sumador acumulador está limitada por el número de bits del registro de salida y la anchura del sumador (Verifique la operación correcta del overflow como señal de validación de dato. Para ello realice una operación de suma-acumulación cuyo resultado exceda de 15 en notación decimal). Idee una estructura de circuito que aumente la anchura de salida del sumador acumulador hasta un total de 8 bits, siendo la palabra de entrada de 4 bits. Simule dicha propuesta de forma que cicle desde el estado de salida de partida 00000000 hasta un estado final 11111111. Nota: Para no alcanzar el límite de complejidad impuesto por la versión de PSPICE empleada, utilice el sumador de 4 bits de librería (74283).